



(45)授权公告日 2017.02.01

H-F · S · 劳 胡馨华

11256

代理人 王茂华

(51) Int.Cl.

H01L 21/58(2006.01)

H01L 21/677(2006.01)

H05K 13/04(2006.01)

(56)对比文件

CN 1960830 A, 2007.05.09,

JP 2001353682 A, 2001.12.25,

CN 1639841 A, 2005.07.13,

JP 2001298072 A, 2001.10.26,

US 2008196237 A1, 2008.08.21,

JP 2002164695 A, 2002.06.07,

JP 2002240943 A, 2002.08.28.

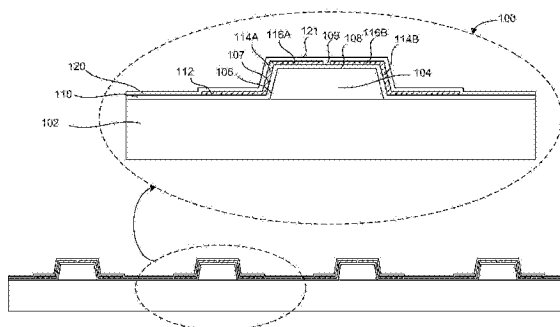
审查员 刘玮德

权利要求书2页 说明书16页 附图21页

权利要求书2页 说明书16页 附图21页

微器件传送头

公开了一种微器件传送头和头阵列。在实施例中,微器件传送头包括基底衬底、具有侧壁的台面结构、在台面结构之上形成的电极、以及覆盖电极的介电层。能够向微器件传送头和头阵列施加电压以从载体衬底拾起微器件并且将微器件释放到接收衬底上。



微器件传送头

[0001] 相关申请

[0002] 本申请要求来自2011年11月18日提交的第61/561,706号美国临时专利申请、2012年02月03日提交的第61/594,919号美国临时专利申请以及2012年02月09日提交的第61/597,109号美国临时专利申请的优先权的权益,这里通过引用将其全部公开内容并入于此。

技术领域

[0003] 本发明涉及微器件。更具体而言,本发明的实施例涉及微器件传送头以及向接收衬底传送一个或多个微器件的方法。

背景技术

[0004] 集成和封装问题是诸如为射频(RF)微机电系统(MEMS)微动开关、发光二极管(LED)显示系统、以及基于MEMS的振荡器或基于石英的振荡器的微器件的商业化的主要障碍之一。

[0005] 用于传送器件的传统的技术包括通过晶片键合从传送晶片向接收晶片的传送。一个这样的实现方式是“直接印刷”,包含从传送晶片向接收晶片的器件阵列的一个键合步骤,跟着移除传送晶片。另一这样的实现方式是包含两个键合/去键合步骤的“传送印刷”。在传送印刷中,传送晶片可以从施主晶片抬起器件阵列,并且然后将器件阵列键合到接收晶片,跟着移除传送晶片。

[0006] 已经开发了某些印刷过程变型,其中器件能够在传送过程期间选择性地键合和去键合。在传统的和变型的直接印刷和传送印刷技术中,传送晶片在将器件键合到接收晶片之后从器件中去键合。此外,在传送过程中涉及到具有器件阵列的整个传送晶片。

发明内容

[0007] 公开了一种微器件传送头和头阵列、以及一种向接收衬底传送一个或多个微器件的方法。例如,接收衬底可以是(但不限于)显示衬底、发光衬底、具有诸如为晶体管或集成电路(IC)的功能器件的衬底、或具有金属重分布线(redistribution line)的衬底。

[0008] 在实施例中,微器件传送头包括基底衬底、包括侧壁——至少一个侧壁是在台面结构之上形成的电极——的台面结构、以及覆盖电极的介电层。例如,微器件传送头能够并入有单极或双极电极结构。台面结构能够与基底衬底分离地或全局地形成。侧壁能够呈锥形并且远离基底衬底向台面结构的顶表面突出,其中,电极形成在顶表面上。电极引线可以从电极延伸以便与基底衬底中的布线接触并且将微器件传送头连接到静电夹持器(gripper)组件的工作电子器件。电极引线能够从台面结构的顶表面上的电极并且沿着台面结构的侧壁延伸。电极引线能够可选地在台面结构之下延伸并且连接到穿过台面结构去往电极的过孔。

[0009] 电极和电极引线可以覆盖有沉积的介电层。用于介电层的适当的材料包括(但不限于)氧化铝(Al_2O_3)和氧化钽(Ta_2O_5)。因为介电层是沉积的,因此电极和电极引线可以由

能够耐高沉积温度的材料来形成,包括诸如为铂的高熔化温度金属以及难熔金属或诸如为钛钨(TiW)的难熔金属合金。

[0010] 在实施例中,传送微器件的方法包括将传送头定位在被连接到载体衬底的微器件之上。微器件与传送头接触并且向传送头中的电极施加电压以产生对微器件的夹持压强。传送头拾起微器件并且然后将微器件释放到接收衬底上。在传送头接触微器件之前、同时或之后,能够向电极施加电压。电压能够是恒流电压、或交流电压。在实施例中,向双级电极结构施加交流电压。在实施例中,附加地执行操作以在拾起微器件之前或同时产生将微器件连接到载体衬底的键合层中的相变。

[0011] 在实施例中,在拾起微器件之前、或同时加热键合层以产生键合层中的从固态至液态的相变。取决于操作条件,能够拾起键合层的一大部分并且与微器件一起传送。当拾起、传送、接触接收衬底、以及释放微器件和键合层的一部分到接收衬底上时,能够执行各种操作以控制键合层的该部分的相。例如,当接触接收衬底时以及在到接收衬底上的释放操作期间,用微器件拾起的键合层的该部分能够维持在液态。在另一实施例中,在被拾起之后,能够允许键合层中的该部分冷却到固相。例如,在接触接收衬底之前或期间,键合层的该部分能够是固相,并且在释放操作期间再次熔化到液态。根据本发明的实施例,能够执行各种温度和材料相周期。

[0012] 在实施例中,传送微器件阵列的方法包括将传送头阵列定位在微器件阵列之上。微器件阵列与传送头阵列接触,并且选择性地向传送头阵列的一部分施加电压。选择性地施加电压可以包括向阵列中的所有传送头、或向对应于少于阵列中的所有传送头的部分施加电压。然后使用传送头阵列的该部分来拾起微器件阵列的对应的部分,并且选择性地微器件阵列的该部分释放在至少一个接收衬底上。在实施例中,当接触时传送头阵列可以在微器件阵列上摩擦,以便逐出可能存在于传送头或微器件中的一者的接触表面上的任意颗粒。在实施例中,在拾起微器件阵列之前,在键合层的将微器件阵列连接到载体衬底的横向上单独的位置的阵列中产生了相变。

[0013] 在实施例中,制作微器件传送头阵列的方法包括在基底衬底上形成台面结构阵列,每个台面结构包括侧壁。在每个台面结构之上形成单独的电极,并且介电层被沉积在台面结构阵列和每个电极之上。在实施例中,介电层使用原子层沉积(ALD)来沉积,并且可以是无针孔的。介电层可以包括一个或多个介电层。在每个对应的台面结构上形成独立的电极之前,保形钝化层可以可选地在基底衬底和台面结构阵列之上生长或沉积。在实施例中,导电接地面形成在介电层上并且围绕每个台面结构。

附图说明

[0014] 图1是根据本发明的实施例的单极微器件传送头的截面侧视图图示。

[0015] 图2是根据本发明的实施例的单极微器件传送头的等距视图图示。

[0016] 图3是根据本发明的实施例的双极微器件传送头的截面侧视图图示。

[0017] 图4是根据本发明的实施例的双极微器件传送头的等距视图图示。

[0018] 图5-6是根据本发明的实施例的双极微器件传送头的顶视图图示。

[0019] 图7是根据本发明的实施例的包括导电过孔的双极微器件传送头的等距视图图示。

- [0020] 图8是根据本发明的实施例的双极微器件传送头阵列的等距视图图示。
- [0021] 图9是根据本发明的实施例的包括导电接地面的双极微器件传送头阵列的等距视图图示。
- [0022] 图10是根据本发明的实施例的包括导电接地面的双极微器件传送头阵列的截面侧视图。
- [0023] 图11是根据本发明的实施例的图示拾起微器件并且从载体衬底向接收衬底传送微器件的方法的流程图。
- [0024] 图12是根据本发明的实施例的在双极电极上施加的交流电压的示意图示。
- [0025] 图13是根据本发明的实施例的在双极电极上施加的恒定电压的示意图示。
- [0026] 图14是根据本发明的实施例的向单极电极施加的恒定电压的示意图示。
- [0027] 图15是根据本发明的实施例的图示拾起并且从载体衬底向接收衬底传送微器件的方法的流程图。
- [0028] 图16是根据本发明的实施例的图示拾起微器件阵列并且从载体衬底向至少一个接收衬底传送微器件阵列的方法的流程图。
- [0029] 图17是根据本发明的实施例的与微LED器件阵列接触的微器件传送头阵列的截面侧视图。。
- [0030] 图18是根据本发明的实施例的与微LED器件阵列接触的微器件传送头阵列的截面侧视图。
- [0031] 图19是根据本发明的实施例的拾起微LED器件阵列的微器件传送头阵列的截面侧视图。
- [0032] 图20是根据本发明的实施例的拾起微LED器件阵列的一部分的微器件传送头阵列的截面侧视图。
- [0033] 图21是根据本发明的实施例的其中微LED器件阵列定位在接收衬底之上的微器件传送头阵列的截面侧视图图示。
- [0034] 图22是根据本发明的实施例的选择性地释放到接收衬底上的微器件的截面侧视图。
- [0035] 图23是根据本发明的实施例的示出克服表面张力以拾起众多尺寸的微器件所需的压强的图形图示。
- [0036] 图24是根据本发明的实施例的表面张力与在拾起操作期间创建的增加的空隙距离之间的关系的图形图示。
- [0037] 图25是根据本发明的实施例的粘滞力压强与在以众多拉动速率的拾起操作期间创建的增加的空隙距离之间的关系的图形图示。
- [0038] 图26是根据本发明的实施例的通过建模分析来获取的图形图示,该图形图示示出了随着传送头从微器件抽出而由微器件上的传送头施加的夹持压强。
- [0039] 图27是根据本发明的实施例的包括具有比微p-n二极管的顶表面更小的宽度的接触开口的各种微LED结构的截面侧视图。
- [0040] 图28是根据本发明的实施例的包括具有比微p-n二极管的顶表面更大的宽度的接触开口的各种微LED结构的截面侧视图。
- [0041] 图29是根据本发明的实施例的包括具有与微p-n二极管的顶表面相同的宽度的接

触开口的各种微LED结构的截面侧视图。

具体实施方式

[0042] 本发明的实施例描述了微器件传送头和头阵列、以及向接收衬底传送微器件和微器件阵列的方法。例如,接收衬底可以是(但不限于)显示衬底、发光衬底、具有诸如为晶体管或集成电路(IC)的功能器件的衬底、或具有金属重分布线的衬底。在某些实施例中,这里描述的微器件和微器件阵列可以是图27-29中图示的任意微LED器件结构、以及在相关的第61/561,706号美国临时申请和第61/594,919号美国临时申请中描述的那些。虽然具体地关于微LED描述了本发明的某些实施例,将意识到本发明的实施例不如此受限并且意识到特定实施例还可以应用到诸如为二极管、晶体管、IC、以及MEMS的其他微器件。

[0043] 在众多实施例中,参照附图来做出描述。然而,可以在没有这些具体细节中的一个或多个的情况下、或结合其他已知方法和配置来实践特定实施例。在下面的描述中,给出大量具体细节(诸如具体配置、尺寸和过程等),以便提供对本发明的透彻理解。在其他例子中,没有特别详细地描述公知的半导体过程和制造技术,从而以免不必要地模糊本发明。通篇本说明书中“一个实施例”、“实施例”等等的引用意味着结合实施例描述的特定特征、结构、配置、或特性包括在本发明的至少一个实施例中。因而,在通篇本说明书中的众多处出现的术语“在一个实施例中”、“实施例”等等不一定指本发明的相同的实施例。进而,在一个或多个实施例中,可以以任意适当的方式来组合特定特征、结构、配置、或特性。

[0044] 如这里所使用的术语“在…之上”、“到”、“在…之间”以及“在…上”可以指一个层相对于其他层的相对的位置。一个层在另一层“之上”或在另一层“上”的一个层或键合“到”另一层的一个层可以是直接与该另一层接触或可以具有一个或多个居间层。在层“之间”的一个层可以直接与层接触或可以具有一个或多个居间层。

[0045] 如这里所使用的术语“微”器件或“微”LED结构可以指根据本发明的实施例的特定器件或结构的说明性的大小。如这里所使用的,术语“微”器件或结构意指1到100 μm 的级别。然而,将意识到本发明的实施例不必然如此受限,并且将意识到实施例的特定方面可以应用到更大的以及可能更小的大小级别。

[0046] 在一个方面中,本发明的实施例描述了用传送头阵列大量传送预制作的微器件阵列的方式。例如,预制作的微器件可以具有具体的功能性,诸如(但不限于)用于发光的LED、用于逻辑和存储的硅IC、用于射频(RF)通信的砷化镓(GaAs)电路。在某些实施例中,将预备好拾起的微LED器件阵列描述为具有10 μm x 10 μm 间距、或5 μm x 5 μm 间距。以这些密度,例如,6英寸衬底能够容纳近似1.65亿个具有10 μm x 10 μm 间距的微LED器件、或者容纳近似6.60亿个具有5 μm x 5 μm 间距的微LED器件。包括与对应的微LED器件阵列的间距相匹配的传送头的阵列的传送工具能够用于拾起并且向接收衬底传送微LED器件阵列。以这一方式,有可能将微LED器件集成和组装到异质集成系统中,包括范围从微显示器到大面积显示器的任意大小的衬底,并且以高传送速率进行。例如,1cm x 1cm的微器件传送头阵列能够拾起并且传送多于100,000个微器件,其中更大的微器件传送头阵列能够传送更多的微器件。传送头阵列中的每个传送头还可以独立地可控制,这实现了选择性拾起微器件和微器件的释放。

[0047] 在一个方面中,不限于特定理论,本发明的实施例描述了根据静电夹持器的原理

操作的使用相反电荷的吸引来拾起微器件的微器件传送头和头阵列。根据本发明的实施例,向微器件传送头施加吸附电压,以便生成对微器件的夹持力并且拾起微器件。夹持力与充电板面积成比例,因此计算为压强。根据理想的静电理论,单极电极与导电衬底之间的非导电电层产生以帕斯卡(Pa)为单位的等式(1)中的夹持压强,其中,等式(1)为:

$$[0048] \quad P = [\epsilon_0/2] [V\epsilon_r/d]^2 \text{-----} (1)$$

[0049] 其中 $\epsilon_0 = 8.85 \cdot 10^{-12}$, V = 以伏特(V)为单位的电极-衬底电压, ϵ_r = 介电常数, 以及 d = 以米(m)为单位的介电厚度。采用使用两个夹持电极的双极夹持器, 以上等式中的电压(V)是电极A和B之间的电压的一半, $[V_A - V_B]/2$ 。衬底电势集中在平均电势, $[V_A + V_B]/2$ 。这一均值通常为零, 其中 $V_A = [-V_B]$ 。

[0050] 在另一方面中, 本发明的实施例描述了能够在特定处理和处置操作期间将微器件维持在载体衬底上的键合层, 并且该键合层在经历相变之后提供微器件能够保持在其上、还在拾起操作期间从其易于释放的介质。例如, 键合层可以是可重新熔化的或可回流的, 使得键合层在拾起操作之前或在拾起操作期间经历从固态向液态的相变。在液态下, 键合层可以将微器件保持就位在载体衬底上, 同时还提供从其易于释放微器件的介质。不限于特定理论, 在确定从载体衬底拾起微器件所需的夹持压强中, 夹持压力应该超过将微器件保持到载体衬底的力, 该力可以包括(但不限于)表面张力、毛细力、粘滞效应、弹性恢复力、范德瓦尔斯力、静摩擦和重力。

[0051] 根据本发明的实施例, 当微器件的尺寸减少到特定范围以下时, 将微器件保持到载体衬底的液态键合层的表面张力可以变得比保持微器件的其他力占优势。图23是通过建模分析来获取的一个实施例的图形图示, 该图形图示示出了克服表面张力以拾起各种尺寸的微器件所需的压强, 假定液态铟(In)键合层在156.7°C的熔化温度具有560mN/m的表面张力。例如, 参见图23, 示例性的10 μ m x 10 μ m宽的微器件保持在具有近似2.2个大气压(atm)的表面张压强的载体衬底上, 其中铟键合层在156.7°C的该铟键合层的熔化温度具有560mN/m液体表面张力。这比由于重力的压强(对于示例性的10 μ m x 10 μ m宽x 3 μ m高的氮化镓(GaN)片, 其为近似1.8x 10⁻⁶atm)大得多。

[0052] 在拾起操作期间表面张力压强和粘滞效应还可以是动态的。图24是通过建模分析来获取的一个实施例的图形图示, 该图形图示示出了在保持在具有熔化的铟(In)键合层的载体衬底上的示例性的10 μ m x 10 μ m宽的微器件的拾起操作期间、表面张力与产生的增加的间隙距离之间的关系。在图24中提及的沿着x轴的间隙距离是微器件的底部和载体衬底之间的距离, 并且起始于2 μ m, 其对应于In键合层的未熔化的厚度。如图24中所图示的, 在拾起操作开始时, 通过夹持压强来初始地克服沿着y轴的2.2atm的表面张力压强。随着接着从载体衬底抬升微器件, 表面张力迅速下降, 随着进一步抬升微器件远离载体衬底, 压强平稳。

[0053] 图25是通过建模分析来获取的一个实施例的图形图示, 该图形图示示出了对于保持在具有熔化的铟(In)键合层的载体衬底上的示例性的10 μ m x 10 μ m微器件而言在众多拉动速率下的粘滞力压强(atm)与在拾起操作期间创建的增加的间隙距离(μ m)之间的关系。图25中提及的间隙距离是微器件的底部与载体衬底之间的距离, 并且始于2 μ m, 其对应于In键合层的未熔化的厚度。如所图示的, 相比诸如为0.1mm/s的较慢的抬升速度, 在诸如为1, 000mm/s的较快的抬升速度期间, 粘滞力压强更加明显。然而, 图24中图示的使用示例性的

抬升速度从粘滞效应中生成的压强比在图24中生成和图示的表面张力压强小很多,这表明表面张力压强是在拾起操作期间必须由夹持压强来克服的主导压强。

[0054] 如果在微器件传送头的介电层与微器件的顶部导电表面之间存在大小(g)的气隙,则等式(2)中的夹持压强是:

$$[0055] \quad P = [\epsilon_0/2] [V\epsilon_r/(d+\epsilon_r g)]^2 \text{-----} (2)$$

[0056] 设想气隙能够由于各种源而存在,包括(但不限于)颗粒污染、翘曲、以及传送头或微器件的任一表面的未对准,或传送头或微器件上的附加层的存在(诸如保形介电阻挡层的围绕微器件的顶部导电表面的唇部)。在实施例中,保形介电阻挡层的唇部可以产生其中形成接触开口的气隙并且增加其中存在唇部的传送头的介电层的有效厚度。

[0057] 如从以上等式(1)和(2)中可见的,可以利用较低的电压,其中在微器件传送头与待拾起的微器件之间不存在气隙。然而,当存在气隙时,这提供了其中气体电容可以与介电层电容竞争的串联电容。为了补偿待拾起的对应的微器件阵列之上的任意微器件传送头阵列之间的气体电容的可能性,可以使用更高的操作电压、更高的介电材料的介电常数、或更薄的介电材料来最大化电场。然而,由于可能的介电击穿和电弧,更高的电场的使用具有限制。

[0058] 图26是通过建模分析来获取的一个实施例的图形图示,该图形图示示出了随着传送头从微器件的顶部导电表面抽出而由传送头对微器件施加的对应于增加的气隙大小的夹持压强。不同的线对应于传送头上0.5 μm 与2.0 μm 之间的不同的Ta₂O₅介电层厚度,其中,电场保持恒定。如所图示的,在低于近似1nm(0.001 μm)的气隙大小的这些条件下,并且对于某些条件甚至高达10nm(0.01 μm),没有观察到对夹持压强的可感知的影响。然而,将意识到可容忍的气隙能够通过改变条件来增加或减少。因而,根据本发明的实施例,在拾起操作期间特定量的气隙容差是可能的并且可能不需要与微器件传送头接触以及微器件的顶部导电表面的实际接触。

[0059] 现在假定从载体衬底拾起微器件所需的夹持压强应该超过将微器件保持在载体衬底上的压强的和(以及由于气隙的任意压强减少),有可能通过求解夹持压强等式来取得微器件传送头中的介电材料的操作电压、介电常数、介电厚度之间的关系。为了清楚的目的,假定气隙距离为零,对于单极电极,这成为:

$$[0060] \quad \text{sqrt}(P*2/\epsilon_0) = V\epsilon_r/d \text{-----} (3)$$

[0061] 根据本发明的实施例,在表1中对于在25V与300V之间的操作电压之间的Al₂O₃和Ta₂O₅介电材料、针对期望的2atm(202650Pa)和20atm(2026500Pa)的夹持压强提供了所计算的介电厚度值的示例性的范围,从而图示夹持压强、电压、介电常数和介电厚度的相互依赖性。提供的介电常数是近似的,并且理解到值能够取决于形成方式而变化。

[0062] 表1

[0063]

介电材料	电压 (V)	介电常数, ϵ_r (Hz – MHz 范围)	介电厚度, d (微米)
夹持压强 = 2 atm			
Al ₂ O ₃	25	9.8	1.1
Al ₂ O ₃	100	9.8	4.6
Al ₂ O ₃	300	9.8	13.7
Ta ₂ O ₅	25	25	2.9
Ta ₂ O ₅	100	25	11.7
Ta ₂ O ₅	300	25	35.0
夹持压强 = 20 atm			
Al ₂ O ₃	25	9.8	0.4
Al ₂ O ₃	100	9.8	1.4
Al ₂ O ₃	300	9.8	4.3
Ta ₂ O ₅	25	25	0.9
Ta ₂ O ₅	100	25	3.7
Ta ₂ O ₅	300	25	11.1

[0064] 因为夹持压强与介电厚度的反向平方成比例,表1中所计算的介电厚度代表了能够形成的最大厚度以达到具有设定操作电压的必需的夹持压强。低于表1中所提供的那些厚度可以导致设定操作电压下更高的夹持压强,然而更小的厚度增加了介电层上所施加的电场,这需要介电材料拥有足够抵抗所施加的电场而不短路的介电强度。还将意识到表1中提供的夹持压强、电压、介电常数和介电厚度值本质上是示例性的,并且被提供以便提供根据本发明的实施例的微器件传送头的工作范围的基础。已经按照理想的静电理论图示了表1中所提供的夹持压强、电压、介电常数以及介电厚度值之间的关系,并且本发明的实施例不由此限制。

[0065] 现在参见图1,提供了根据本发明的实施例的单极微器件传送头和头阵列的侧视图图示。如所示的,每个单极器件传送头100可以包括基底衬底102、包括顶表面108和侧壁106的台面结构104、在台面结构104上形成并且包括顶表面109和侧壁107的可选的钝化层110、在台面结构104 (以及可选的钝化层110) 之上形成的电极116和具有覆盖电极116的顶表面121的介电层120。基底衬底102可以由各种材料形成,诸如能够提供结构支撑的硅、陶瓷和聚合物。在实施例中,基底衬底具有 10^3 与 10^{18} 欧姆-厘米 (ohm-cm) 之间的导电率。基底衬底102可以附加地包括布线(未示出)以将微器件传送头100连接到静电夹持器组件的工作电子器件。

[0066] 台面结构104可以使用适当的处理技术来形成,并且可以由与基底衬底102相同的或不同的材料形成。在一个实施例中,台面结构104例如通过使用微影图案化和蚀刻、或浇筑技术来与基底衬底102整体形成。在实施例中,能够利用各向异性蚀刻技术来形成台面结构104的锥形侧壁106。在另一实施例中,台面结构104可以在基底衬底102的顶部上沉积或生长、或图案化。在实施例中,台面结构104是在半导体衬底(诸如为硅)之上形成的图案化的氧化层(诸如为二氧化硅)。

[0067] 在一个方面中,台面结构104生成从基底衬底突出的轮廓以使得提供局部的接触点以在拾起操作期间拾起具体的微器件。在实施例,台面结构104具有近似 $1\mu\text{m}$ 到 $5\mu\text{m}$ 的高度,或者更具体地近似 $2\mu\text{m}$ 的高度。台面结构104的具体尺寸可以取决于待拾起的微器件的具体尺寸,以及在台面结构之上形成的任意层的厚度。在实施例,基底衬底102上的台面结构104阵列的高度、宽度、以及平坦度在基底衬底上是一致的,使得每个微器件传送头100能够在拾起操作期间与每个对应的微器件接触。在实施例,相比于对应的微器件阵列中的每个微器件的顶表面的宽度,每个微器件传送头的顶表面121上的宽度稍大、近似相同、或者更小,使得在拾起操作期间传送头不会不经意地与相邻于意图的对应的微器件的微器件接触。如下面进一步详细描述的,因为附加的层110、112、120可以在台面结构104之上形成,台面结构的宽度可以考虑到上覆层的厚度,使得相比于对应的微器件阵列中的每个微器件的顶表面的宽度,每个微器件传送头的顶表面121上的宽度稍大、近似相同、或更小。

[0068] 仍然参见图1,台面结构104具有顶表面108(可以是平坦的)以及侧壁106。在实施例中,例如,侧壁106可以呈锥形至10度。如下面进一步描述的,使侧壁106成锥形在形成电极116和电极引线114中可以是有益的。钝化层110然后可以可选地在基底衬底102和台面结构104阵列上沉积或生长。钝化层110能够通过各种适当的技术(诸如化学气相沉积(CVD)、溅射、或原子层沉积(ALD))来沉积。在实施例中,钝化层110可以是0.5 μm -2.0 μm 厚的氧化物,诸如但不限于氧化硅(SiO_2)、氧化铝(Al_2O_3)或氧化钽(Ta_2O_5)。

[0069] 导电层112然后可以被沉积在台面结构104阵列以及可选的钝化层110之上,并且图案化以形成电极116和电极引线114。例如,能够利用剥离(lift off)技术以形成电极116和电极引线114,其中光阻层在衬底上沉积和图案化,跟随有金属层的沉积,且将光阻(resist)和光阻的金属层的一部分剥离从而留下期望图案的。可替代地,能够执行跟随有图案化和蚀刻的金属层沉积以达到期望的图案。电极引线114可以从台面结构104的顶表面108(以及可选的钝化层110的顶表面109)上的电极116延伸并且沿着台面结构104的侧壁106(以及沿着可选的钝化层110的侧壁107)延伸。用于形成电极116和电极引线114的导电层112可以是单层或多层。包括金属、金属合金、难熔金属、以及难熔金属合金的各种导电材料可以被采用,以形成导电层112。在实施例中,导电层112具有达到5,000埃(0.5 μm)的厚度。在实施例中,导电层112包括诸如为铂的高熔化温度金属、或难熔金属或难熔金属合金。例如,导电层可以包括铂、钛、钒、铬、锆、铌、钼、钨、铪、钽、钨、铪、铌、钽以及其合金。难熔金属和难熔金属合金通常显示出比其他金属更高的耐热性和耐磨性。在实施例中,导电层112是近似500埃(0.05 μm)厚的钛钨(TiW)难熔金属合金。

[0070] 然后将介电层120沉积于电极116和基底衬底102上的其他暴露层之上。在实施例中,介电层120具有适当的厚度和用于达到微器件传送头100所需要的夹持压强的介电常数,且具有足够的介电强度以不在操作电压下损坏。介电层可以是单层或多层。在实施例

中,介电层是 $0.5\mu\text{m}$ 至 $2.0\mu\text{m}$ 厚,尽管厚度或多或少取决于传送头100以及下层台面结构104的具体外形。适当的介电材料可以包括(但不限于)氧化铝(Al_2O_3)和氧化钽(Ta_2O_5)。返回参见上面的表1,提供了具有 $22\text{V}/\mu\text{m}$ 至 $71\text{V}/\mu\text{m}$ 的施加的电场(借由电压除以介电厚度来决定)的 Al_2O_3 介电层的实施例和具有 $9\text{V}/\mu\text{m}$ 至 $28\text{V}/\mu\text{m}$ 的施加的电场的 Ta_2O_5 介电层的实施例。根据本发明的实施例,介电层120拥有大于施加的电场的介电强度以便避免在操作期间传送头短路。能够借由各种适当的技术(诸如化学气相沉积(CVD)、原子层沉积(ALD)和诸如为溅射的物理气相沉积(PVD))来沉积介电层120。跟随着沉积,可以附加地将介电层120退火。在一个实施例中,介电层120拥有至少 $400\text{V}/\mu\text{m}$ 的介电强度。这样的高介电强度能够允许使用比示例性的表1中提供的经计算的厚度更薄的介电层。能够利用诸如为ALD的技术来沉积具有好的介电强度的均匀、保形、紧密和/或无针孔的介电层。还能够利用多个层来达到这样的无针孔介电层120。还可以利用不同介电材料的多层来形成介电层120。在实施例中,下面的导电层112包括拥有高于(多个)介电层材料的沉积温度的熔化温度的铂或难熔金属或难熔金属合金,由此,选择介电层的沉积温度不再受到限制。在实施例中,跟随着介电层120的沉积,可以在介电层120之上形成薄涂层(未示出)以提供特定静摩擦系数来增加横向摩擦且使微器件免于在拾起操作期间碰掉传送头。在这样的实施例中,附加薄涂层替代顶表面121作为接触表面,且这一表面保持这里描述的空间(dimensional)阵列要求。进而,附加涂层能够影响微器件传送头的介电性质,这可能影响微器件传送头的可操作性。在实施例中,附加涂层厚度能够为最小(例如, 10nm 以下)以使得对夹持压强具有很少甚至没有可感知的影响。

[0071] 图2为在覆盖台面结构104的可选钝化层110之上形成的电极116和电极引线114的近视等距视图图示。为了清楚起见,未图示上面的介电层120,且将可选钝化层110和台面结构104图示为单个台面结构/钝化层104/110。在示例性的实施例中(其中钝化层110和介电层120都为 $0.5\mu\text{m}$ 厚),台面结构/钝化层104/110的电极116形成在其上的顶表面108/109为近似 $7\mu\text{m} \times 7\mu\text{m}$ 从而达到传送头100的 $8\mu\text{m} \times 8\mu\text{m}$ 顶表面。根据实施例,在保持在图案化容差内的同时,电极116尽可能覆盖台面结构/钝化层104/110的顶表面108/109的最大量的表面区域。最小化空闲空间的量增加了电容和能够由微器件传送头达到的所得的夹持压强。虽然在图2中的台面结构/钝化层104/110的顶表面108/109上图示了一定量的空闲空间,但是电极116可以覆盖整个顶表面108/109。电极116还可以稍微大于顶表面108/109,并且部分地沿着台面结构/钝化层104/110的侧壁106/107向下延伸以确保完全覆盖顶表面108/109。将意识到,台面阵列可以具有各种不同的间距,并且本发明的实施例不限于 $10\mu\text{m}$ 间距的台面结构/钝化层104/110的示例性的 $7\mu\text{m} \times 7\mu\text{m}$ 的顶表面。

[0072] 现在参见图3,根据本发明的实施例,提供了双极微器件传送头100和头阵列的侧视图图示。如所示的,双极器件传送头100可以包括基底衬底102、包括顶表面108和侧壁106的台面结构104、包括顶表面109和侧壁107的钝化层110、在台面结构104上之上形成的一对电极116A、116B以及电极引线114A、114B、可选的钝化层110和覆盖该对电极116A、116B的介电层120。

[0073] 图4为在覆盖台面结构104的可选钝化层110之上形成的电极116A、116B和电极引线114A、114B的近视等距视图。为了清楚的目的,未图示上面的介电层120,并且将可选钝化层110和台面结构104图示为单个台面结构/钝化层104/110。图4稍微区别于图3,在于将电

极引线114A、114B图示为沿着台面结构/钝化层104/110的单个侧壁而非相对的侧壁延伸。根据本发明的实施例,电极引线114A、114B可以沿着任意适当侧壁延伸。在示例性的实施例中,其中台面结构/钝化层104/110的顶表面108/109为对应于具有10 μm 间距的台面阵列的近似7 μm x 7 μm),电极可以尽可能覆盖台面结构/钝化层104/110的顶表面108/109的最大量的表面面积,同时仍提供电极116A与电极116B之间的间隔。最小量的间隔距离可以通过考虑最大化表面面积、同时避免来自电极的电场重叠来平衡。例如,可以使电极116A、116B间隔0.5 μm 或更少,并且最小间隔距离可以受电极的高度限制。在实施例中,电极在一个方向上稍微长于顶表面108/109,且部分地沿着台面结构/钝化层104/110的侧壁向下延伸以确保顶表面108/109的最大覆盖。将意识到,台面阵列可以具有各种不同的间距,并且将意识到本发明的实施例不限于10 μm 间距的台面结构/钝化层104/110的示例性的7 μm x 7 μm 顶表面。

[0074] 现在参见图5和图6,根据本发明的实施例,提供了双极微器件传送头的电极116A、116B的顶视图图示。至此,已经将台面结构104描述为图5中所示的单个台面结构。然而,本发明的实施例不如此受限。在图6中图示的实施例中,每个电极116在由沟槽105间隔的单独的台面结构104A、104B上形成。可选钝化层110(未图示)能够覆盖两个台面结构104A、104B。

[0075] 现在参见图7,根据本发明的实施例,提供了备选的电极引线配置的等距视图图示。在这样的实施例中,电极引线114A、114B延伸到台面结构104的一部分的下面,并且导电过孔117A、117B延伸穿过台面结构104(以及未图示的可选钝化层110),将电极116A、116B连接到相应的电极引线114A、114B。在这样的实施例中,电极引线114A、115B可以在形成台面结构104之前形成,并且可以由与电极引线114A、114B以及电极116A、116B相同或不同的导电材料来形成。尽管在图7中关于双极电极结构图示了过孔117A、117B,但是应该理解到,还可以将上面描述的过孔或多个过孔集成到单极电极结构中。

[0076] 现在参见图8至图10,图示本发明的实施例,其中导电接地面在介电层之上并且围绕台面结构阵列形成。图8是具有如之前关于图4所描述的双极电极配置的微器件传送头100阵列的等距视图图示。为了清楚的目的,未图示可选的下面的钝化层和上面的介电层。现在参见图9至图10,导电接地面130在介电层120之上并且围绕台面结构104阵列形成。接地面130的出现可以帮助防止(特别是在施加高电压期间)传送头100之间的电弧。接地面130可以由导电材料形成,该导电材料可以与用来形成电极或过孔的导电材料相同或不同。接地面130还可以由具有比用来形成电极的导电材料低的熔化温度的导电材料形成,这是因为不需要在形成接地面130之后沉积较好质量(例如介电强度)的介电层至介电层120。

[0077] 图11是图示根据本发明的实施例的拾起并且从载体衬底向接收衬底传送微器件的方法的流程图。在操作1110处,将传送头定位在被连接到载体衬底的微器件之上。如上面的实施例中所描述的,传送头可以包括台面结构、在台面结构之上的电极、以及覆盖电极的介电层。因而,如上面的实施例中所描述的,传送头可以具有单极或双极电极配置、以及任何其他结构变型。然后在操作1120处使微器件与传送头接触。在实施例中,微器件与传送头的介电层120接触。在备选实施例中,将传送头定位在微器件之上,其中不会显著影响夹持压强的适当气隙(例如,1nm(0.001 μm)或10nm(0.01 μm))间隔传送头和微器件。在操作1130处,向电极施加电压以产生对微器件的夹持压强,并且在操作1140处,使用传送头来拾起微器件。然后在操作1150处将微器件释放到接收衬底上。

[0078] 尽管已经在图11中顺序地图示了操作1110至操作1150,但是将意识到,实施例不如此受限并且可以执行附加的操作并且可以以不同顺序来执行特定操作。例如,在一个实施例中,在使微器件与传送头接触之后,传送头摩擦过微器件的顶表面,以便逐出可能出现在传送头或微器件中的任一者的接触表面上的任何颗粒。在另一实施例中,在拾起微器件之前或拾起微器件的同时执行操作以产生将微器件连接到载体衬底的键合层的相变。如果键合层的一部分与微器件一起被拾起,则能够执行附加的操作以在随后处理期间控制键合层的该部分的相。

[0079] 能够以众多顺序执行向电极施加电压以产生对微器件的夹持压强的操作1130。例如,能够在使微器件与传送头接触之前、使微器件与传送头接触的同时、或在使微器件与传送头接触之后施加电压。还可以在产生键合层的相变之前、同时、或之后施加电压。

[0080] 图12为根据本发明的实施例的在双极电极上施加的交流电压的示意图,其中传送头与微器件接触。如所图示的,可以将单独的交流(AC)电压源施加于每个电极引线114A、114B,在该对电极116A、116B上施加交流电压,使得当向电极116A施加负电压的特定时间点向电极116B施加正电压,反之亦然。可以使用各种方法来完成从传送头释放微器件,该各种方法包括关闭电压源、降低该对电极上的电压、改变AC电压的波形、以及将电压源接地。图13是根据本发明的实施例的向双极电极施加的恒定电压的示意图。在图示的特定实施例中,向电极116A施加负电压,同时向电极116B施加正电压。图14是根据本发明的实施例的向单极电压施加的恒定电压的示意图。一旦传送头拾起图14中图示的微器件,则传送头能够保持微器件的时间量可以为介电层的放电速率的函数,因为仅仅向电极116施加单个电压。从图14中图示的传送头释放微器件可以通过关闭电压源、将电压源接地、或使得恒定电压的极性反向来完成。

[0081] 在图12至图14所图示的特定实施例中,微器件200是图27示例270中图示的那些微器件。然而,图12至图14中图示的微器件可以是来自图27至图29中图示的微型LED器件结构的任意微器件、以及在相关的第61/561,706号美国临时申请和第61/594,919号美国临时申请中所描述的那些。例如,微LED器件200可以包括微p-n二极管235、250以及金属化层220,其中,金属化层在微p-n二极管235、250与在衬底201上形成的键合层210之间。在实施例中,微p-n二极管250包括顶部n掺杂层214、一个或多个量子阱层216、以及下面的p掺杂层218。微p-n二极管能够由直侧壁或锥形壁来制作。在某些实施例中,微p-n二极管250拥有向外呈锥形的侧壁253(自顶部到底部)。在某些实施例中,微p-n二极管235拥有向内呈锥形的侧壁253(自顶部到底部)。金属化层220可以包括一个或多个层。例如,金属化层220可以包括电极层以及在电极层与键合层之间的阻挡层。微p-n二极管和金属化层中的每一者可以具有顶表面、底表面以及侧壁。在实施例中,微p-n二极管250的底表面251比微p-n二极管的顶表面252宽,并且侧壁253是从顶部到底部向外呈锥形的。微p-n二极管235的顶表面可以比p-n二极管的底表面宽、或者为近似相同的宽度。在实施例中,微p-n二极管250的底表面251比金属化层220的顶表面221宽。微p-n二极管的底表面还可以比金属化层的顶表面宽、或与金属化层的顶表面近似相同的宽度。

[0082] 保形介电阻挡层260可以可选地在微p-n二极管235、250以及其他暴露面之上形成。保形介电阻挡层260可以比微p-n二极管235、250、金属化层220以及可选地比键合层210更薄,使得保形介电阻挡层260形成它在其上形成的外形的轮廓。在实施例中,微p-n二极管

235、250为几微米厚,诸如 $3\mu\text{m}$,金属化层220为 $0.1\mu\text{m}$ 至 $2\mu\text{m}$ 厚,并且键合层210为 $0.1\mu\text{m}$ 至 $2\mu\text{m}$ 厚。在实施例中,保形介电阻挡层260为近似50埃至600埃厚的氧化铝(Al_2O_3)。保形介电阻挡层260可以通过各种适当技术(诸如为(但不限于)原子层沉积(ALD))而被沉积。保形介电阻挡层260可以防止拾起过程期间在相邻微p-n二极管之间的电荷电弧,并且由此防止相邻微p-n二极管在拾起过程期间粘合在一起。保形介电阻挡层260还可以防止微p-n二极管的侧壁253、量子阱层216以及底表面251受污染,该污染能够影响微p-n二极管的完整性。例如,保形介电阻挡层260能够起物理阻挡的功能以沿着微p-n二极管250的侧壁以及量子层216向上对键合层材料210进行毛细作用。保形介电阻挡层260还可以在微p-n二极管250被置于接收衬底之后使微p-n二极管250绝缘。在实施例中,保形介电阻挡层260横跨微p-n二极管的侧壁253,并且可以覆盖微p-n二极管中的量子阱层216。保形介电阻挡层还可以部分地横跨微p-n二极管的底表面251,以及横跨金属化层220的侧壁。在某些实施例中,保形介电阻挡层还横跨图案化的键合层210的侧壁。接触开口262可以形成于保形介电阻挡层260中,从而暴露微p-n二极管的顶表面252。

[0083] 参见图27,接触开口262可以具有比微p-n二极管的顶表面252小的宽度,并且保形介电阻挡层260形成围绕微p-n二极管的顶表面252的边缘的唇部。参见图28,接触开口262可以具有比微p-n二极管的顶表面稍大的宽度。在这样的实施例中,接触开口262暴露微p-n二极管的顶表面252以及微p-n二极管的侧壁253的上部,同时保形介电阻挡层260覆盖并且绝缘一个或更多个量子阱层216。参见图29,保形介电层260可以具有与微p-n二极管的顶表面近似相同的宽度。保形介电层260还可以沿着图27至图29中图示的微p-n二极管的底表面251进行横跨。

[0084] 在实施例中,保形介电阻挡层260为由与键合头的介电层120相同的材料形成。取决于特定微LED器件结构,保形介电阻挡层260还可以横跨键合层210的侧壁、以及载体衬底和支柱(若支柱存在)。键合层210可以由能够在特定处理和处置操作期间维持微LED器件200于载体衬底201上的材料形成,并且在经历相变之后,提供其上能够保持并且还易于在拾起操作期间释放微LED器件200的介质。例如,键合层可以为可重新熔化的或可回流的,使得键合层在拾起操作之前或在拾起操作期间经历从固态向液态的相变。在液态下,键合层可以将微LED器保持就位在载体衬底上的地方,同时还提供易于从其释放微LED器件200的介质。在实施例中,键合层210具有低于近似 350°C 的液相线温度或熔化温度,或更具体地低于近似 200°C 。在这样的温度下,键合层可以经历相变而不实质上影响微LED器件的其他组件。例如,键合层可以由金属或金属合金或可移除的热塑性聚合物形成。例如,键合层可以包括铟、锡、或诸如聚乙烯或聚丙烯的热塑性聚合物。在实施例中,键合层可以为导电的。例如,在键合层响应于温度的改变而经历从固态向液态的相变的情况下,键合层的一部分可以在拾起操作期间保持于微LED器件上。在这样的实施例中,键合层由导电材料形成可以是有利的,使得当随后向接收衬底传送键合层时,键合层不会不利地影响微LED器件。在这一情形下,导电键合层的在传送期间保持在微LED器件上的该部分可以帮助将微LED器件键合到接收衬底上的导电衬垫。在具体的实施例中,键合层可以由铟形成,铟具有 156.7°C 的熔化温度。键合层可以在衬底201上横向上连续,或者还可以在横向上单独的位置被形成。例如,键合层的横向上单独的位置可以具有比微p-n二极管或金属化层的底表面小的宽度或与微p-n二极管或金属化层的底表面近似相同的宽度。在某些实施例中,微p-n二极管可以

可选地在衬底的支柱202之上被形成。

[0085] 焊料可以为用于键合层210的适当材料,因为许多焊料在焊料的固态中通常为韧性材料并且半导体表面和金属表面显示出良好湿润性。典型的合金不是熔化在单个温度处,而是熔化在温度范围上。因此,焊料合金经常以对应于最低温度的液相线温度以及对应于最高温度的固相线温度为特征,合金在该最低温度下保持液态并且在该最高温度下保持固态。在表2中提供了可以与本发明的实施例一起利用的低熔化焊料材料的示例性清单。

[0086] 表2

[0087]

化学组成	液相线温度 (°C)	固相线温度 (°C)
100 In	156.7	156.7
66.3 In 33.7 Bi	72	72
51 In 32.5 Bi 16.5 Sn	60	60
57 Bi 26 In 17 Sn	79	79
54.02 Bi 29.68 In 16.3 Sn	81	81
67 Bi 33 In	109	109
50 In 50 Sn	125	118
52 Sn 48 In	131	118

[0088]

58 Bi 42 Sn	138	138
97 In 3 Ag	143	143
58 Sn 42 In	145	118
99.3 In 0.7 Ga	150	150
95 In 5 Bi	150	125
99.4 In 0.6 Ga	152	152
99.6 In 0.4 Ga	153	153
99.5 In 0.5 Ga	154	154
60 Sn 40 Bi	170	138
100 Sn	232	232
95 Sn 5 Sb	240	235

[0089] 在表3中提供了可以与本发明的实施例一起利用的热塑性聚合物的示例性清单。

[0090] 表3

[0091]

聚合物	熔化温度 (°C)
-----	-----------

丙烯酸 (PMMA)	130-140
聚甲醛 (POM或乙缩醛)	166
聚对苯二甲酸丁二醇酯 (PBT)	160
聚己酸内酯 (PCL)	62
聚对苯二甲酸乙二醇酯 (PET)	260
聚碳酸酯 (PC)	267
聚酯	260
聚乙烯 (PE)	105-130
聚醚醚酮 (PEEK)	343
聚乳酸 (PLA)	50-80
聚丙烯 (PP)	160
聚苯乙烯 (PS)	240
聚偏二氯乙烯 (PVDC)	185

[0092] 图15是图示根据本发明的实施例的拾起微器件并且从载体衬底向接收衬底传送微器件的方法的流程图。在操作1510处,将传送头定位在用键合层连接到载体衬底的微器件之上。传送头可以是这里所描述的任意传送头。微器件可以是图27至图29中图示的微LED器件结构中的任意微LED器件结构、以及在相关的第61/561,706号美国临时申请以及第61/594,919号美国临时申请中描述的那些。然后在操作1520处使微器件与传送头接触。在实施例中,微器件与传送头的介电层120接触。在备选实施例中,将传送头定位在微器件之上而具有分隔它们的不显著影响夹持压强的适当的气隙(例如1nm (0.001 μ m) 或10nm (0.01 μ m))。在操作1525处,执行操作以产生键合层210的从固态向液态的相变。例如,操作可以包括在156.7 $^{\circ}$ C的熔化温度或在156.7 $^{\circ}$ C之上的熔化温度下加热In键合层。在另一实施例中,能够在操作1520之前执行操作1525。在操作1530处,向电极施加电压以产生对微器件的夹持压强,并且在操作1540处,用传送头来拾起微器件和键合层210的一大部分。例如,可以使用微器件来拾起近似一半的键合层210。在备选实施例中,全部键合层210都不被用传送头拾起。在操作1545处,将微器件和键合层210的部分放置成与接收衬底接触。然后在操作1550处将微器件和键合层210的部分释放到接收衬底上。当拾起、传送、接触接收衬底、以及将微器件和键合层210的部分释放到接收衬底上时,能够执行各种操作以控制键合层的该部分的相。例如,在接触操作1545期间以及在释放操作1550期间,能够将与微器件一起拾起的键合层的该部分维持在液态。在另一实施例中,能够在拾起之后允许将键合层的该部分冷却至固相。例如,键合层的该部分能够在接触操作1545期间处于固相,并且键合层的该部分能够在释放操作1550之前或在释放操作2450期间再次熔化到液态。能够根据本发明的实施例来执行各种温度和材料相周期。

[0093] 图16是图示根据本发明的实施例的拾起并且从载体衬底向至少一个接收衬底传送微器件阵列的方法的流程图。在操作1610处,将传送头阵列定位在微型器件阵列之上,其中每个传送头具有台面结构、在台面结构之上的电极、以及覆盖电极的介电层。在操作1620处,使微器件阵列与传送头阵列接触。在备选实施例中,将传送头阵列定位在微器件阵列之上而具有间隔传送头阵列和微器件阵列的不显著影响夹持压强的适当的气隙(例如1nm (0.001 μ m) 或10nm (0.01 μ m))。图17为根据本发明的实施例的与微LED器件200阵列接触的微

器件传送头100阵列的侧视图图示。如图17中所图示的,传送头100阵列的间距(P)与微LED器件200的间距相匹配,其中,传送头阵列的间距(P)为在传送头之间的间隔(S)与传送头的宽度(W)的和。

[0094] 在一个实施例中,微LED器件200阵列具有10 μ m的间距,其中,每个微LED器件具有2 μ m的间隔和8 μ m的最大宽度。在示例性的实施例中,假定具有直侧壁的微p-n二极管250,每个微LED器件200的顶表面具有近似8 μ m的宽度。在这样的示例性的实施例中,对应的传送头100的顶表面121的宽度为近似8 μ m或更小,以免与相邻的微LED器件非故意接触。在另一实施例中,微LED器件200阵列可以具有5 μ m的间距,其中每个微LED器件具有2 μ m的间隔和3 μ m的最大宽度。在示例性的实施例中,每个微LED器件200的顶表面具有近似3 μ m的宽度。在这样的示例性的实施例中,对应的传送头100的顶表面121的宽度为近似3 μ m或更小,以使得避免与相邻的微LED器件200非故意接触。然而,本发明的实施例不限于这些特定尺寸,并且可以是任意适当的尺寸。

[0095] 图18是根据本发明的实施例的与微LED器件200阵列接触的微器件传送头阵列的侧视图图示。在图18图示的实施例中,传送头的间距(P)为微器件阵列的间距的整数倍。在图示的特定实施例中,传送头的间距(P)是微LED器件阵列的间距的3倍。在这样的实施例中,具有更大的传送头间距可以防止传送头之间的电弧。

[0096] 再次参见图16,在操作1630处,选择性地向传送头100阵列的一部分施加电压。因而,可以独立地操作每个传送头100。在操作1640处,用传送头阵列的选择性地向其施加电压的部分来拾起微器件阵列的对应部分。在一个实施例中,选择性地向传送头阵列的一部分施加电压意指向传送头阵列中的每个传送头施加电压。图19是根据本发明的实施例的拾起微LED器件200阵列的微器件传送头阵列中的每一个传送头的侧视图图示。在另一实施例中,选择性地向传送头阵列的一部分施加电压意指向少于传送头阵列中的每一个传送头(例如,传送头的子集)施加电压。图20是根据本发明的实施例的拾起微LED器件200阵列的一部分的微器件传送头阵列的子集的侧视图图示。图19至图20中图示的特定实施例中,拾起操作包括拾起用于微LED器件200的微p-n二极管250、金属化层220以及保形介电阻挡层260的一部分。在图19至图20中图示的特定实施例中,拾起操作包括拾起键合层210的一大部分。相应地,关于图16至图22描述的任意实施例还可以跟随有如关于图15所描述的控制键合层210的该部分的温度。例如,关于图16至图22所描述的实施例可以包括执行操作以在拾起微器件阵列之前在将微器件阵列连接到载体衬底201的键合层的多个位置中产生从固态向液态的相变。在实施例中,键合层的该多个位置能够是相同键合层的区域。在实施例中,键合层的该多个位置能够是键合层的横向上单独的位置。

[0097] 在操作1650处,然后将微器件阵列的该部分释放到至少一个接收衬底上。因而,能够将微LED阵列全部释放到单个接收衬底上、或选择性地释放到多个衬底上。例如,接收衬底可以是(但不限于)显示衬底、发光衬底、具有诸如为晶体管或集成电路(IC)的功能器件的衬底、或具有金属重分布线的衬底。释放可以通过以下方式完成:使用关于图12至图14所描述的任意方式来影响所施加的电压。

[0098] 图21是将对应的微LED器件200阵列保持在包括多个驱动器触点310的接收衬底301之上的微器件传送头阵列的侧视图图示。然后微LED器件200阵列可以被放置成与接收衬底接触并且然后选择性地被释放。图22是根据本发明的实施例的选择性地被释放到接收

衬底301上的、驱动器触点310之上的单个微LED器件200的侧视图图示。在另一实施例中,多于一个微LED器件200被释放、或整个微LED器件200阵列被释放。

[0099] 在利用本发明的众多方面中,对于本领域技术人员将变得显而易见的是,上面的实施例的结合或变形对于形成微器件传送头和传送头阵列、以及对于传送微器件和微器件阵列是可能的。虽然已经用具体于结构特征和/或方法学动作的语言描述了本发明,然而将理解到,所附权利要求书中限定的发明不必然限于所描述的具体特征结构或动作。替代地,将所公开的具体特征结构和动作理解为对说明本发明有用的所要求保护的发明的特别号的实现方式。

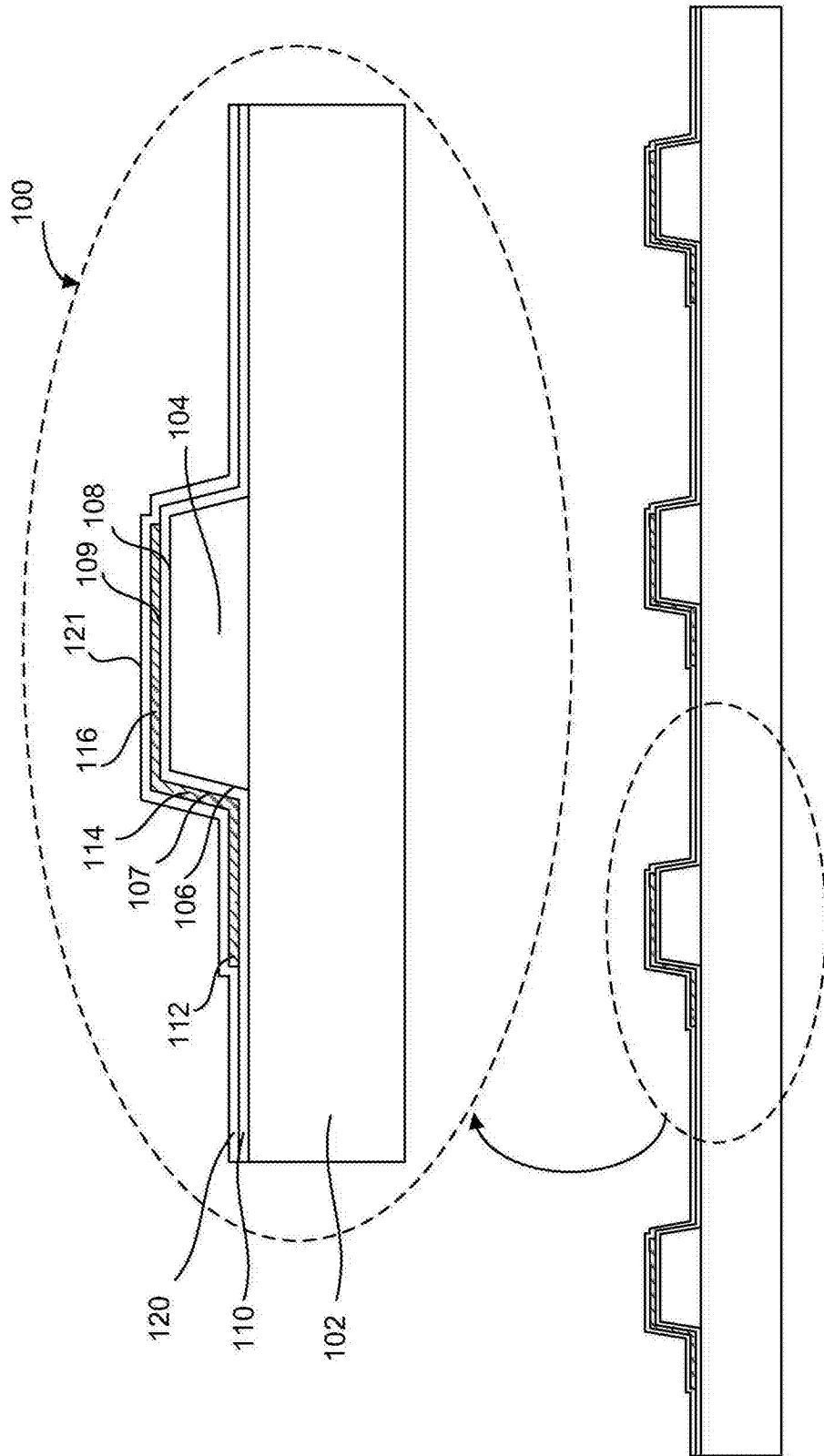


图1

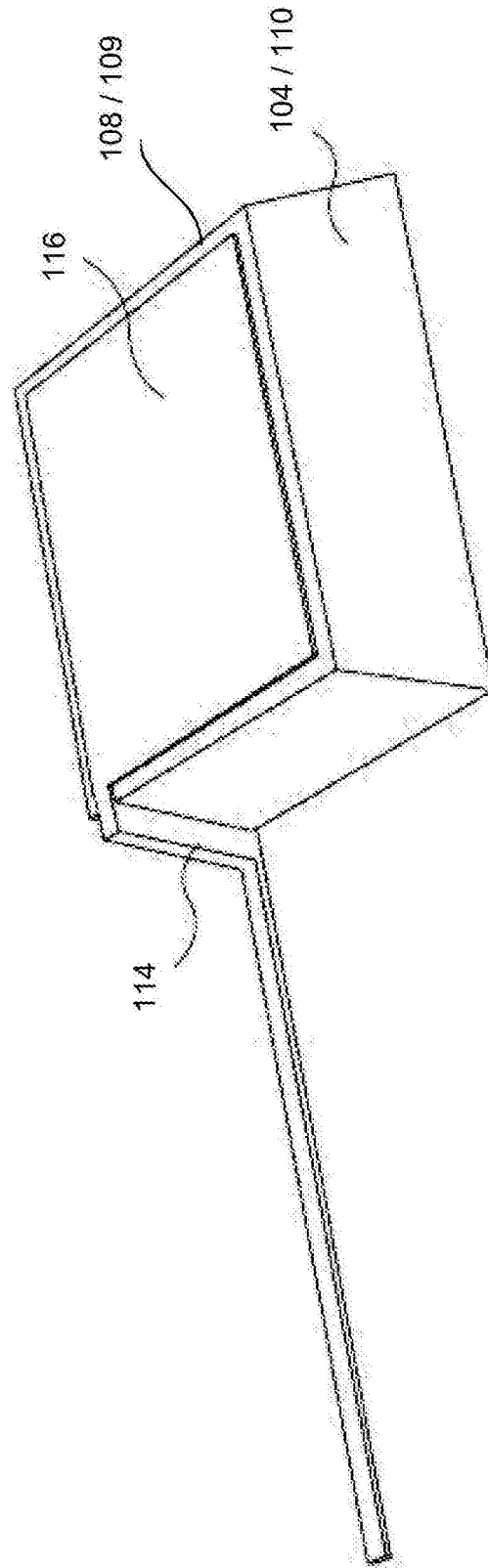


图2

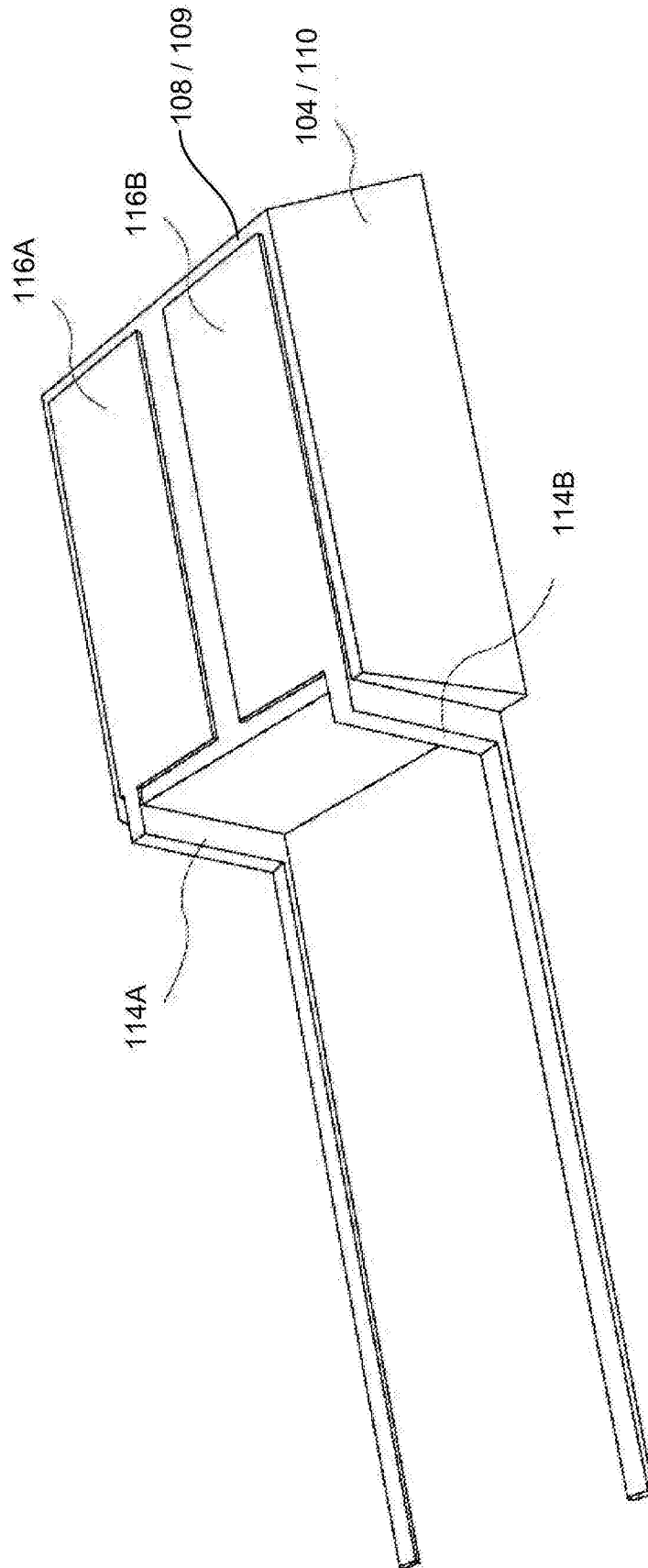


图4

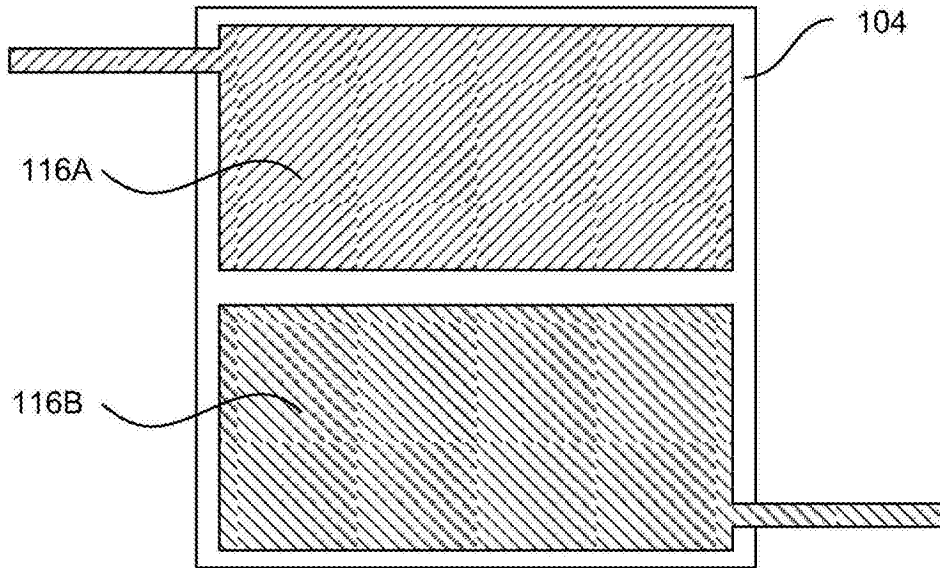


图5

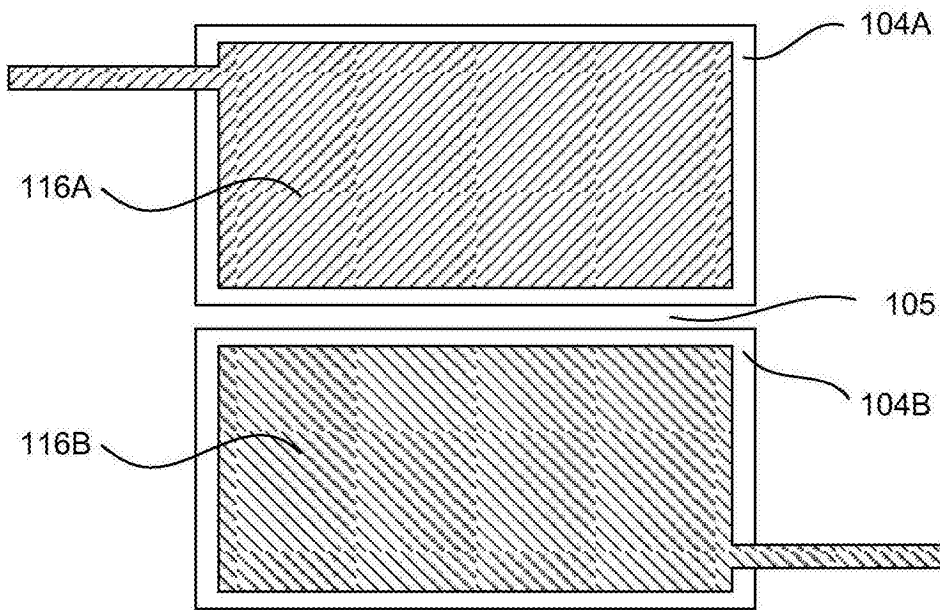


图6

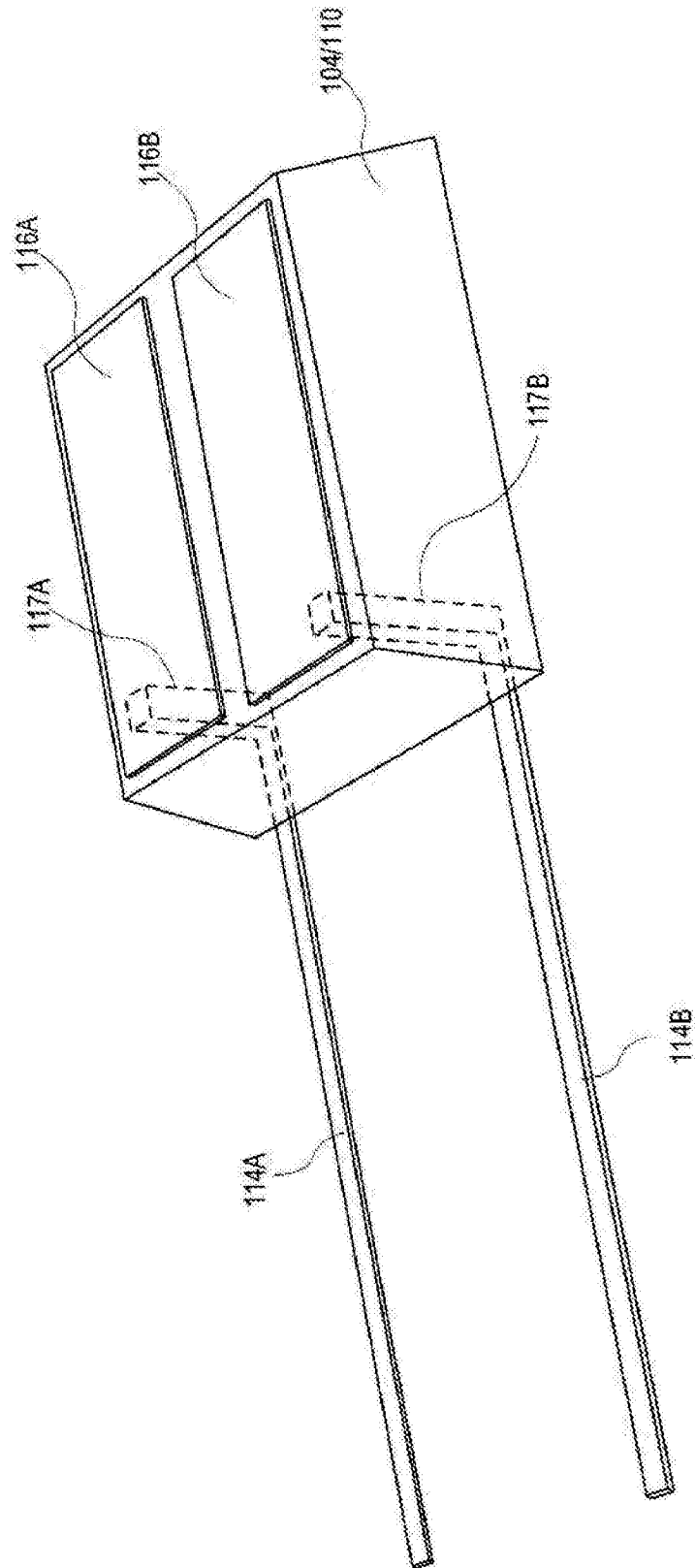


图7

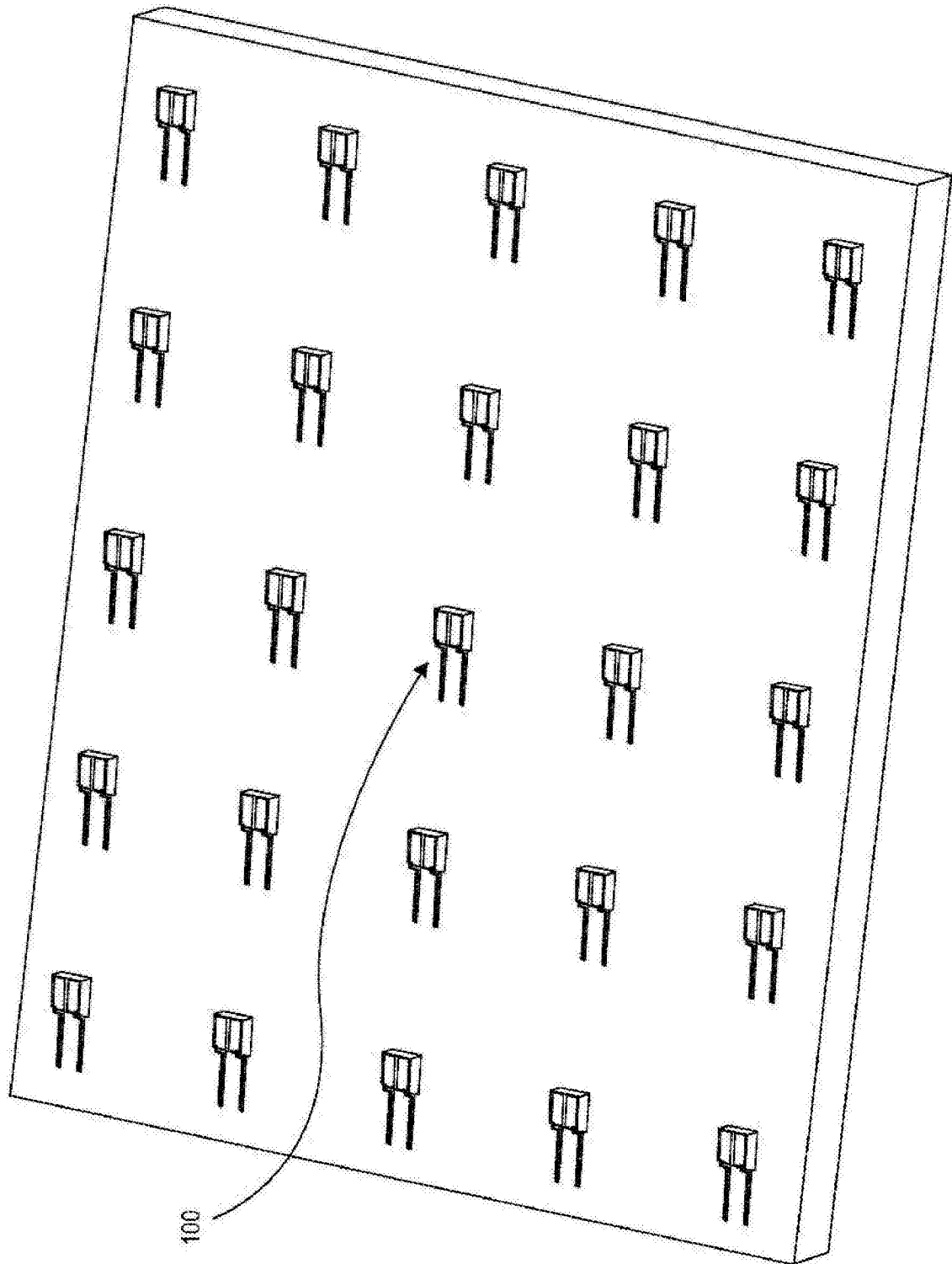


图8

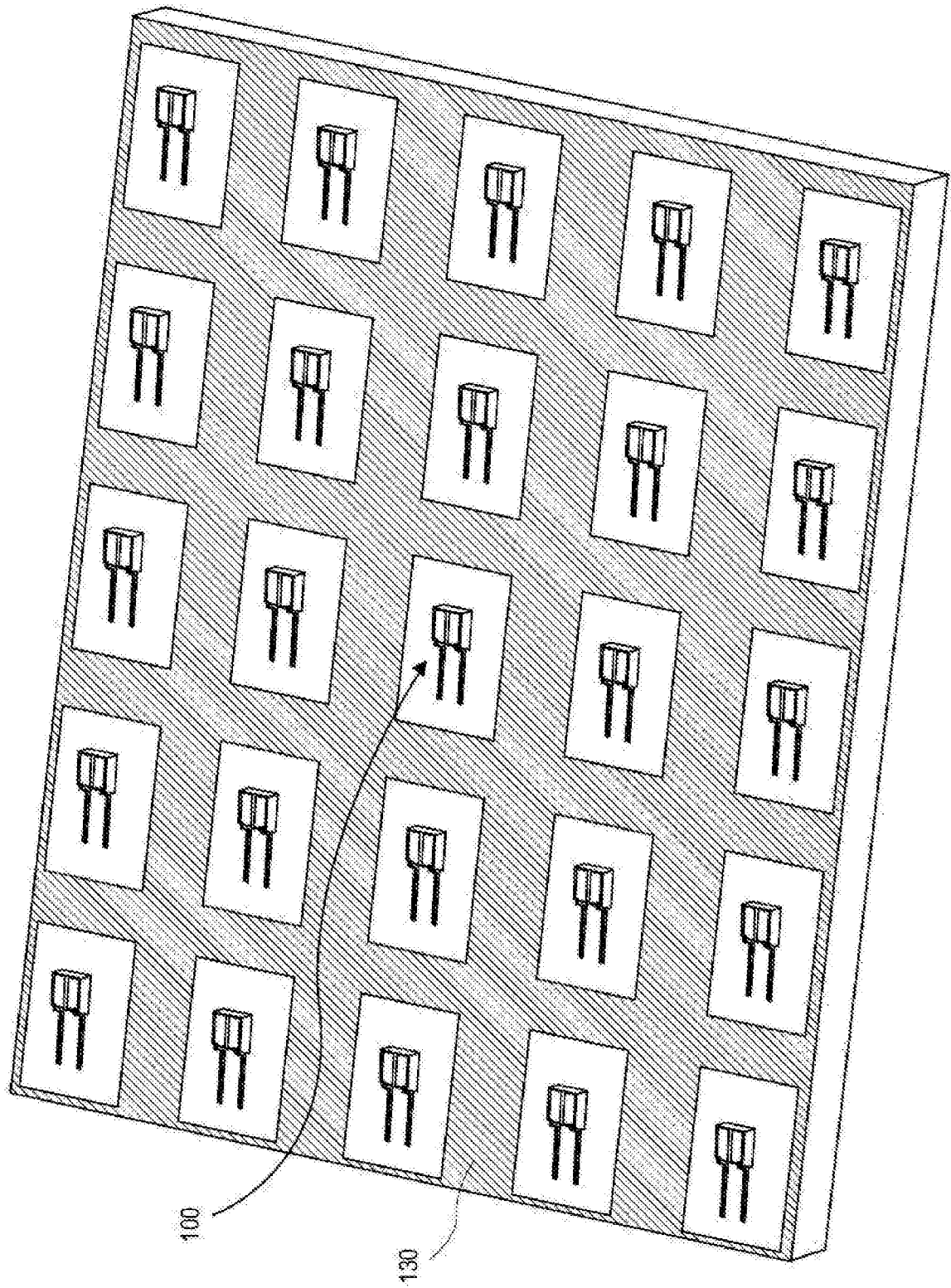


图9

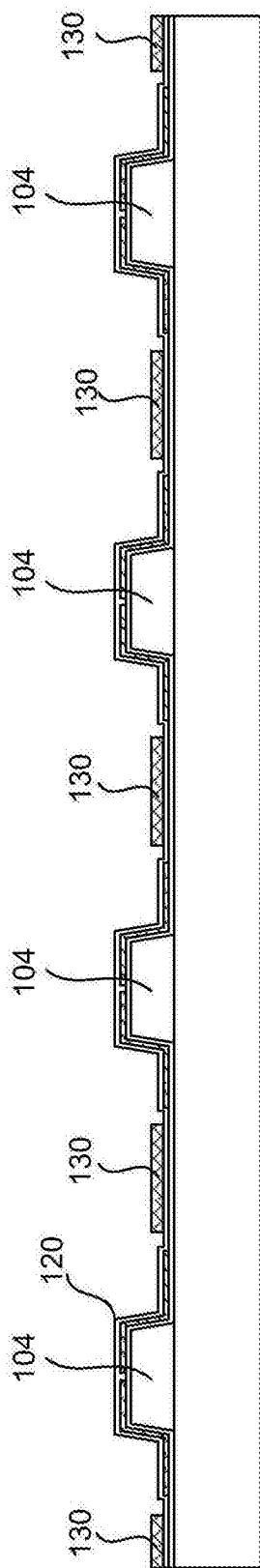


图10

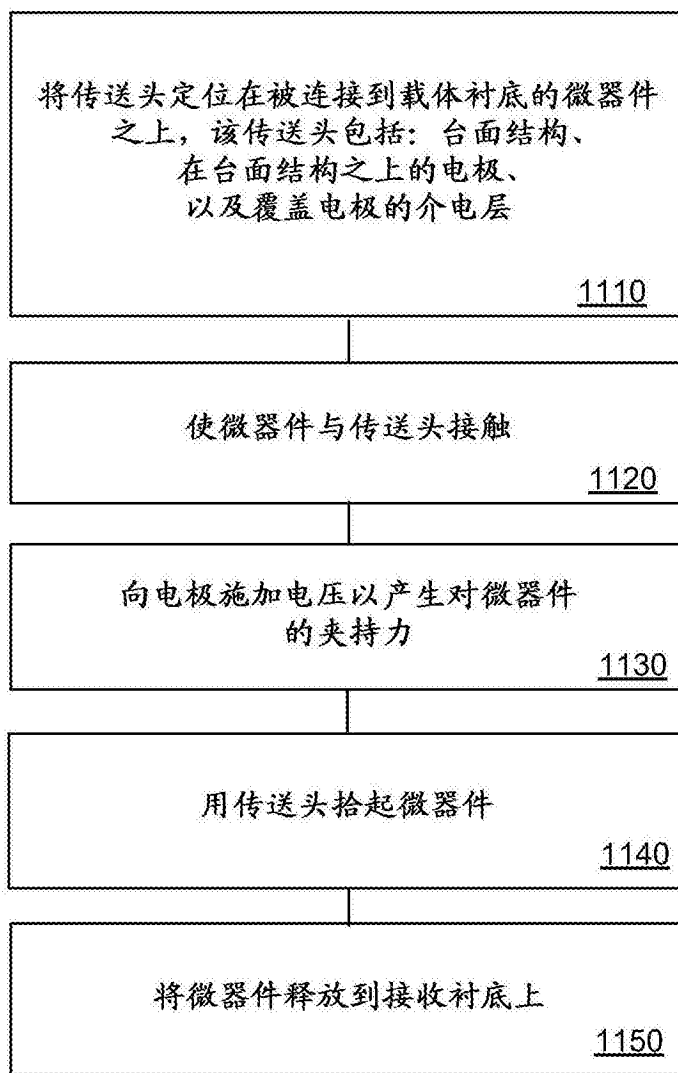


图11

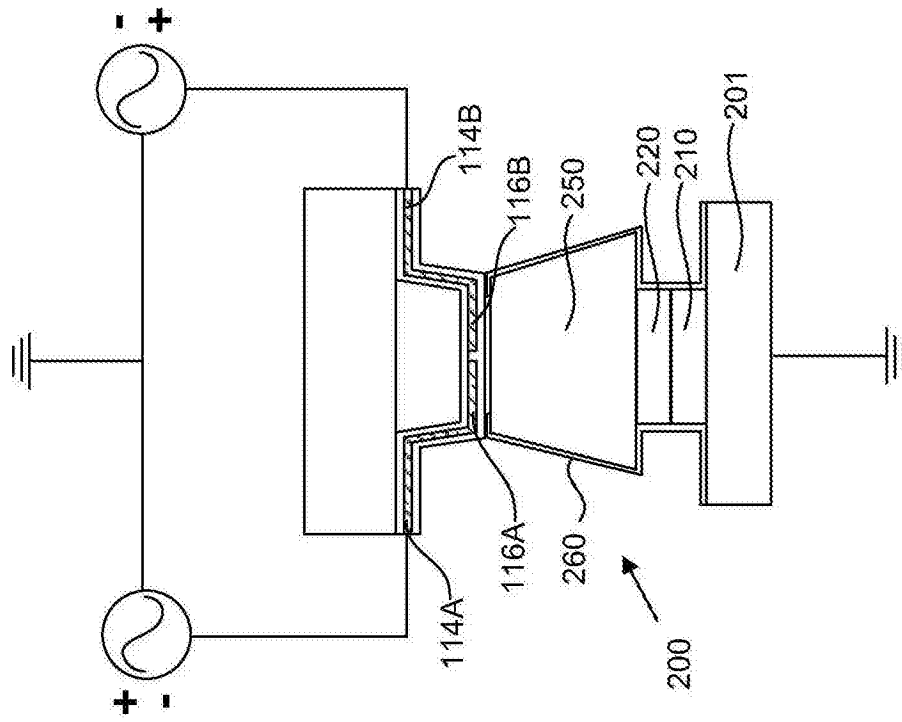


图12

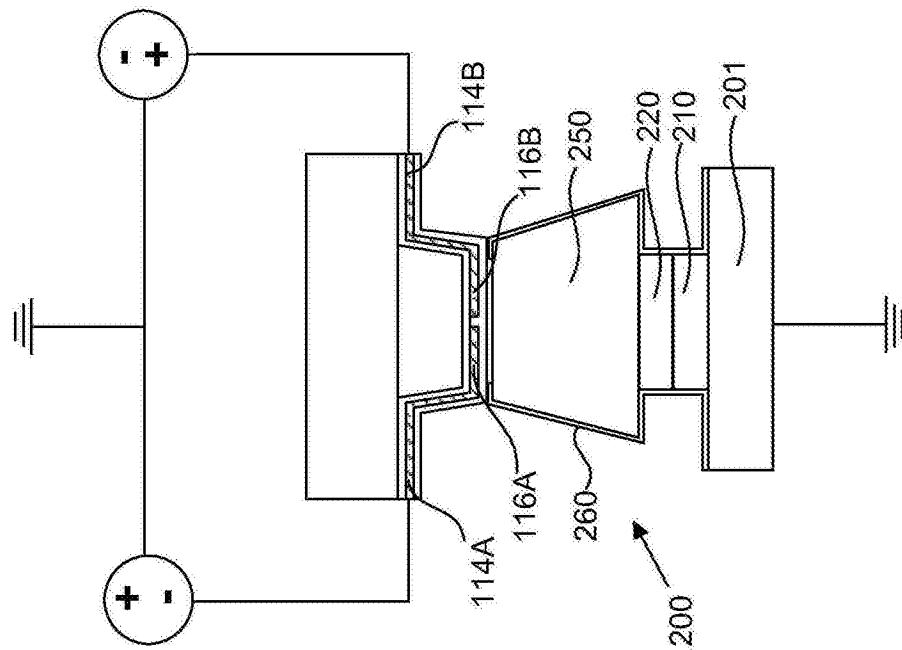


图13

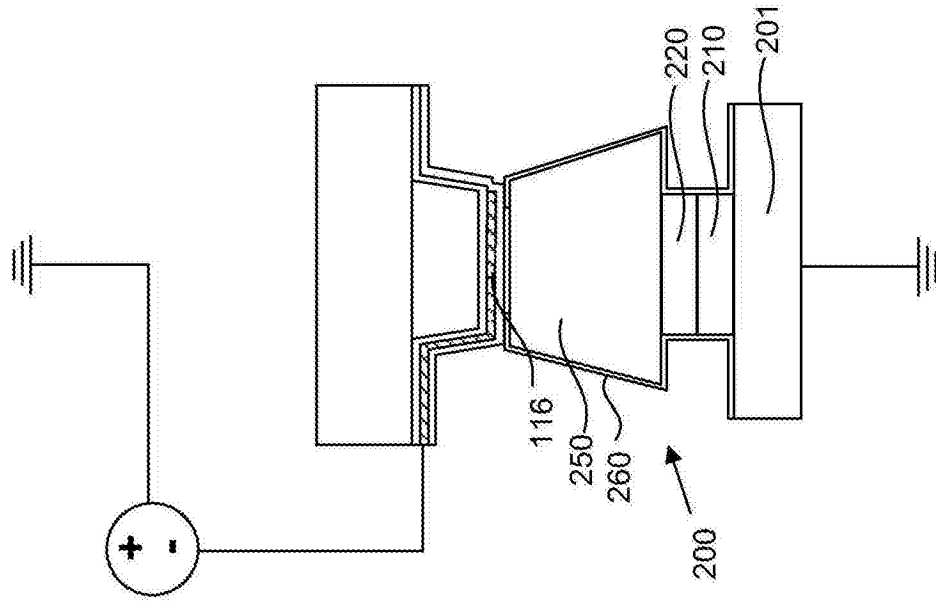


图14

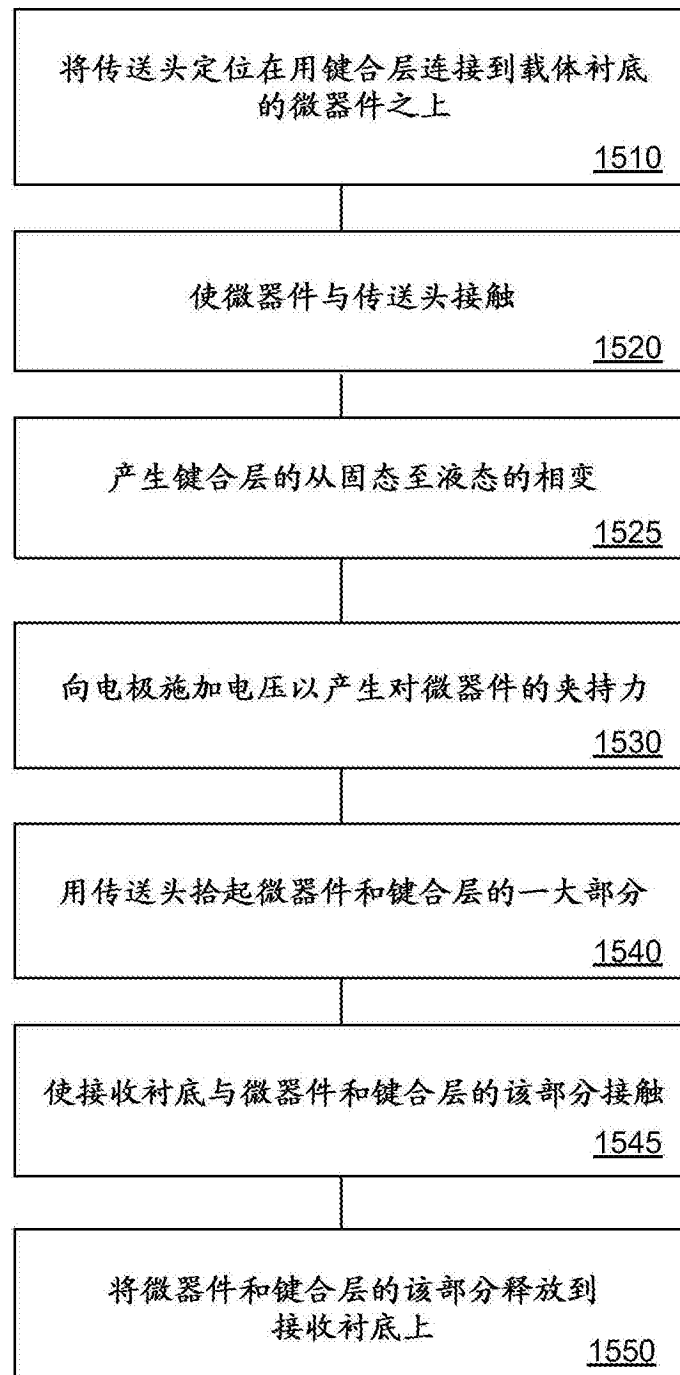


图15

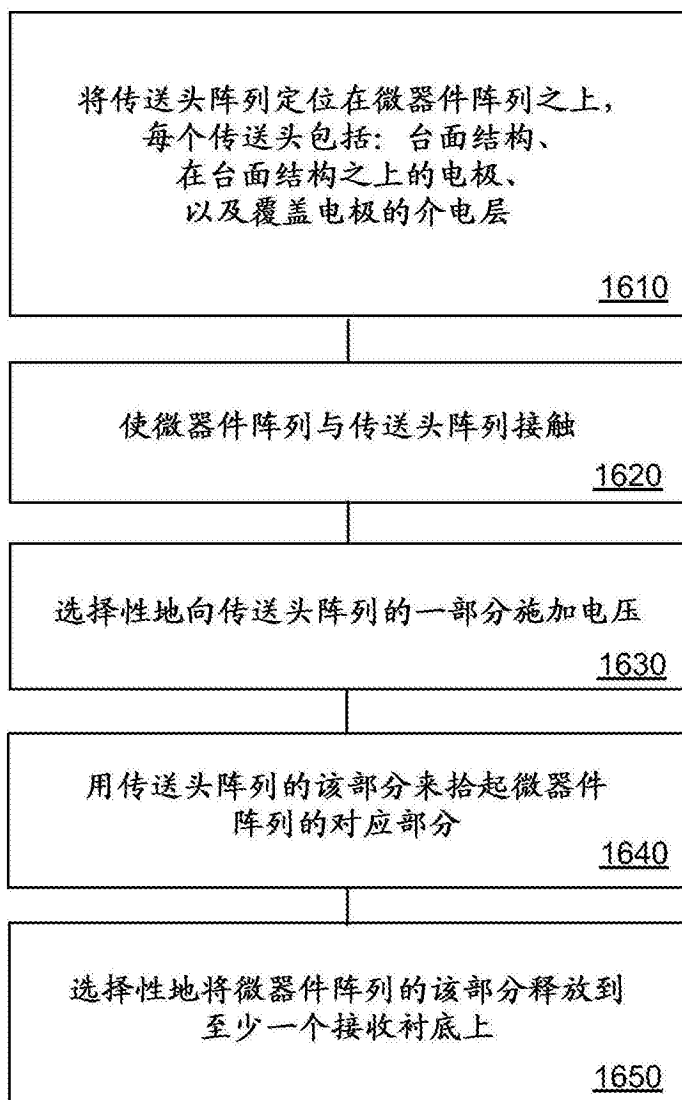


图16

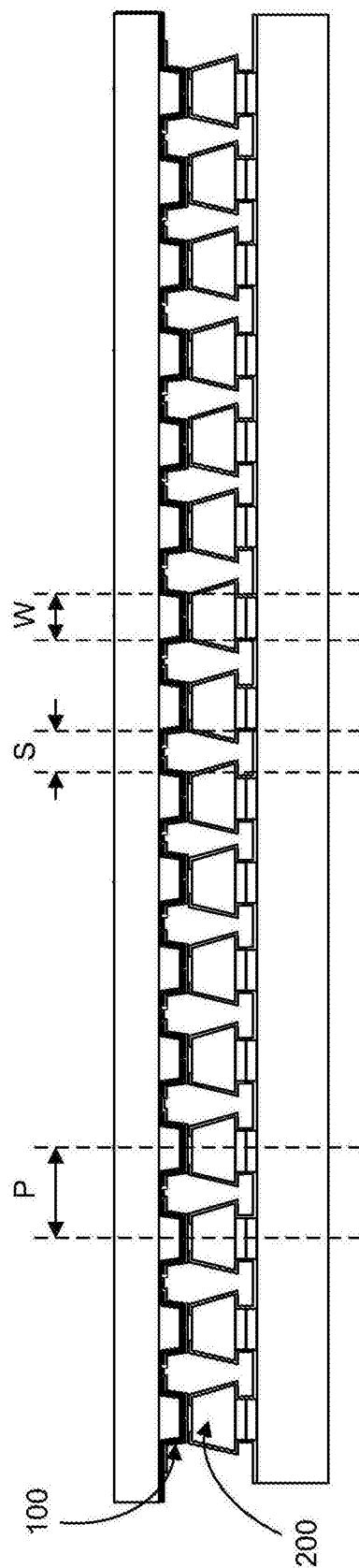


图17

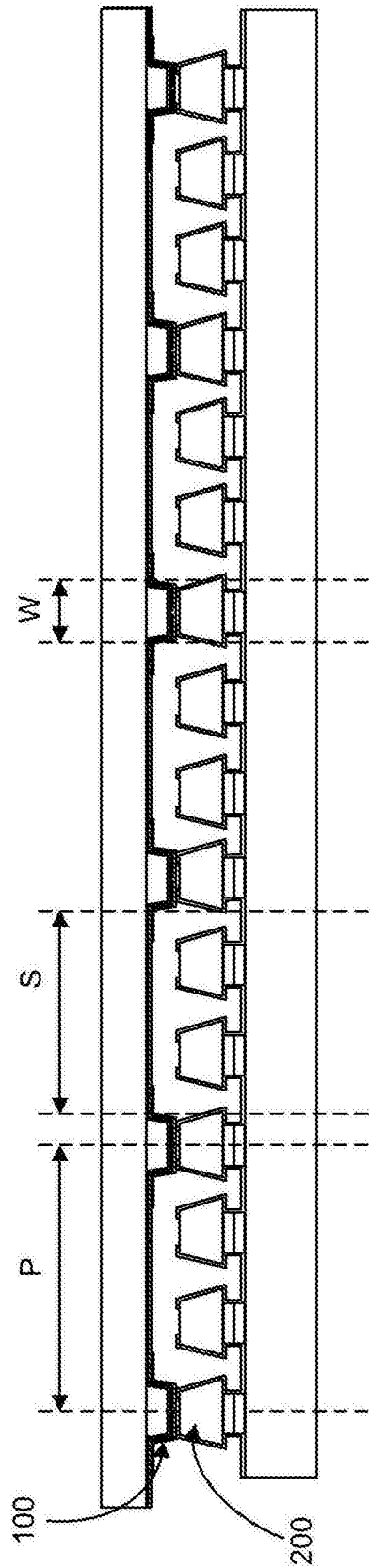


图18

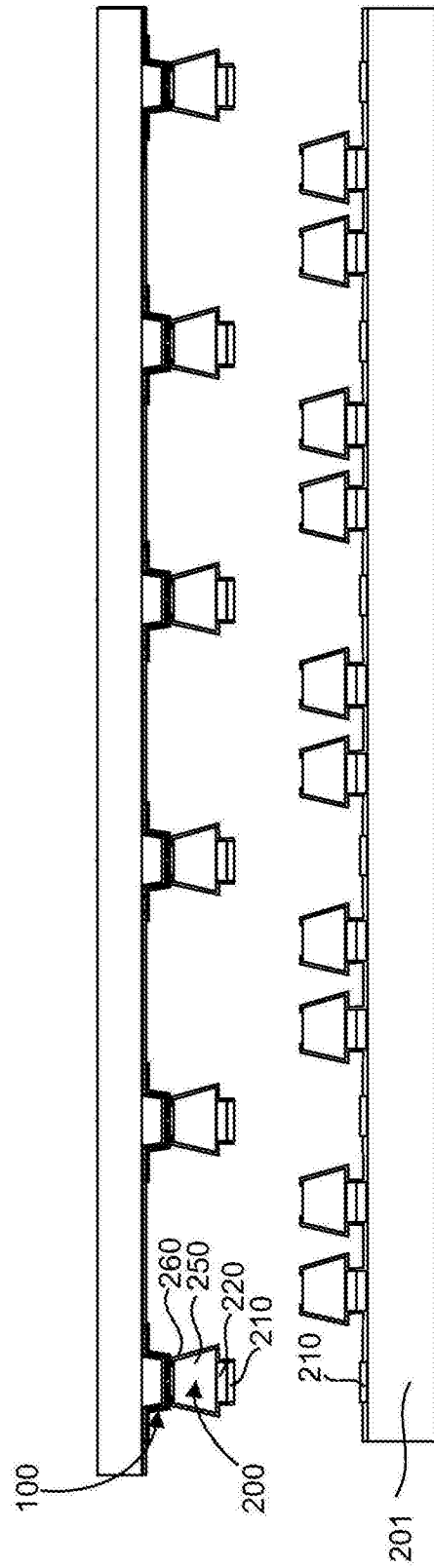


图19

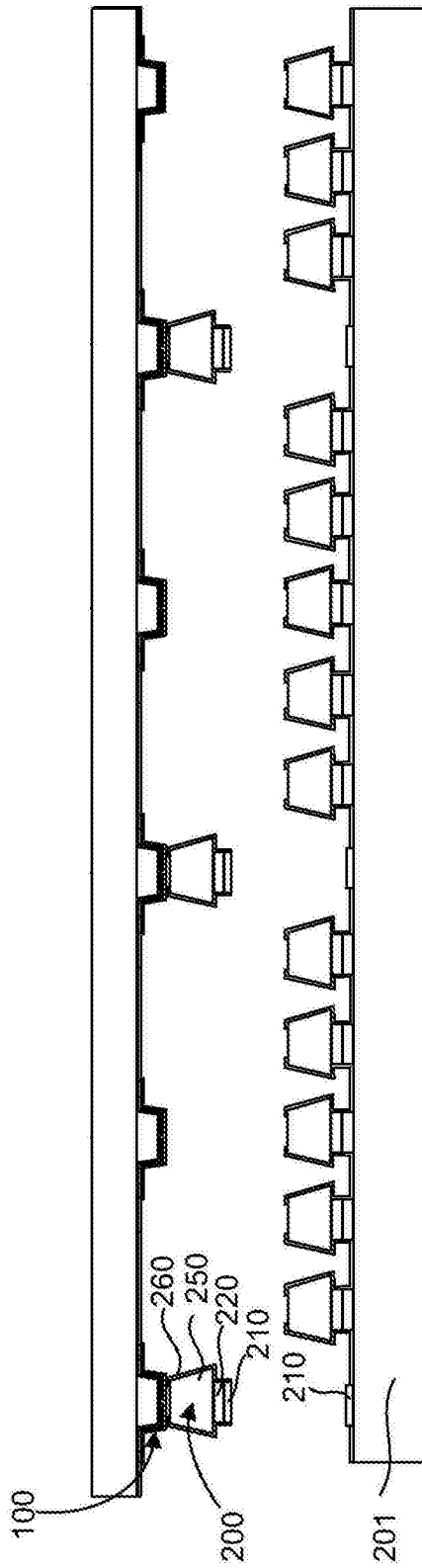


图20

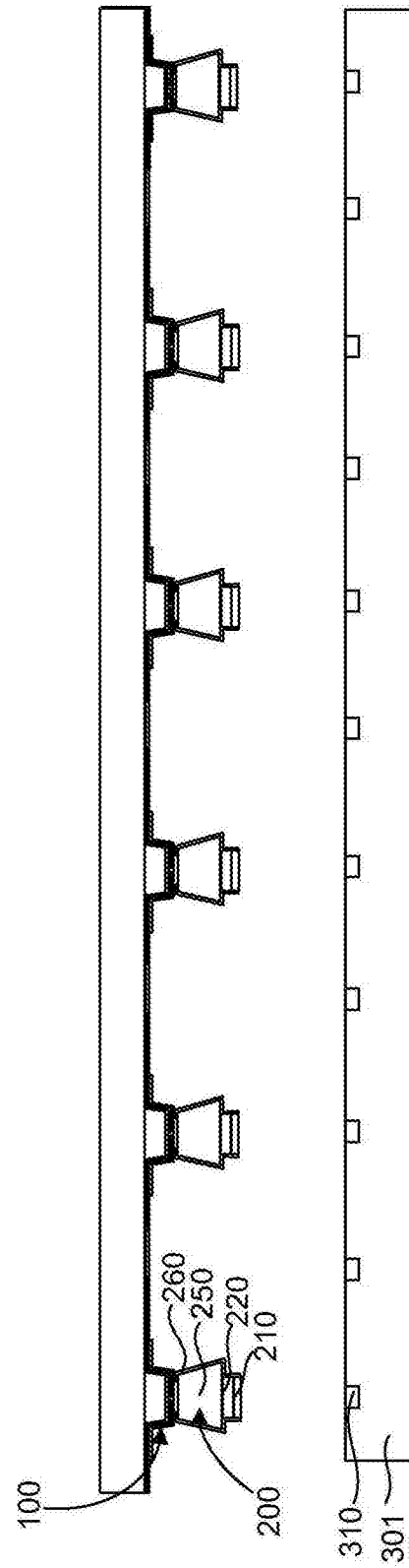


图21

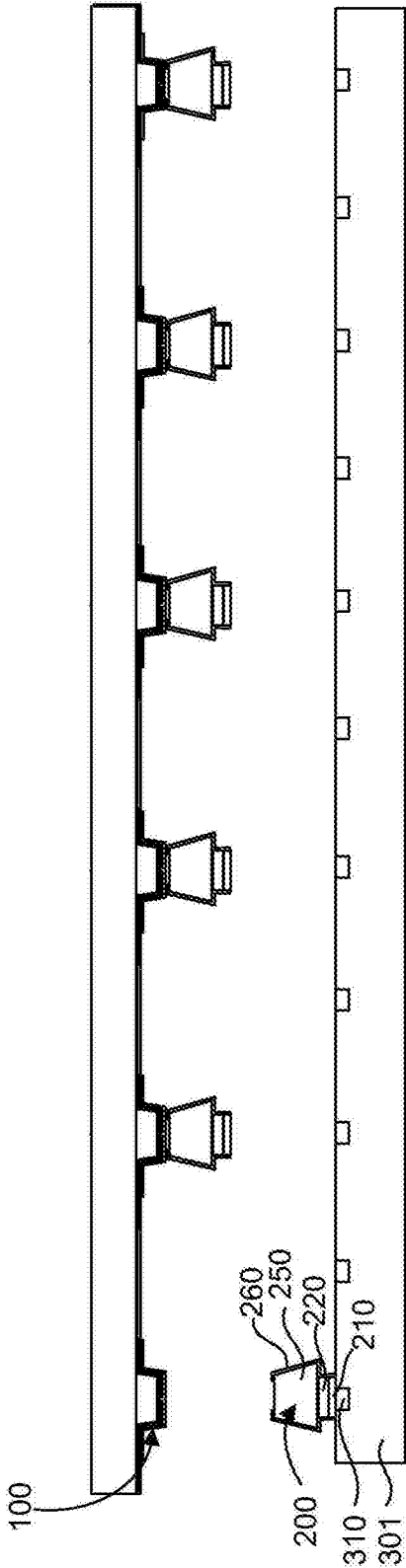


图22

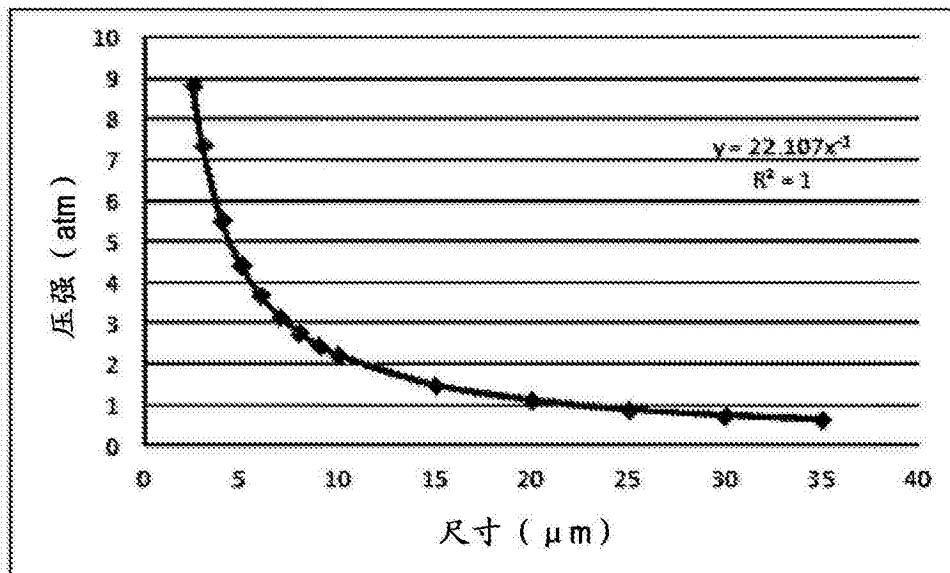


图23

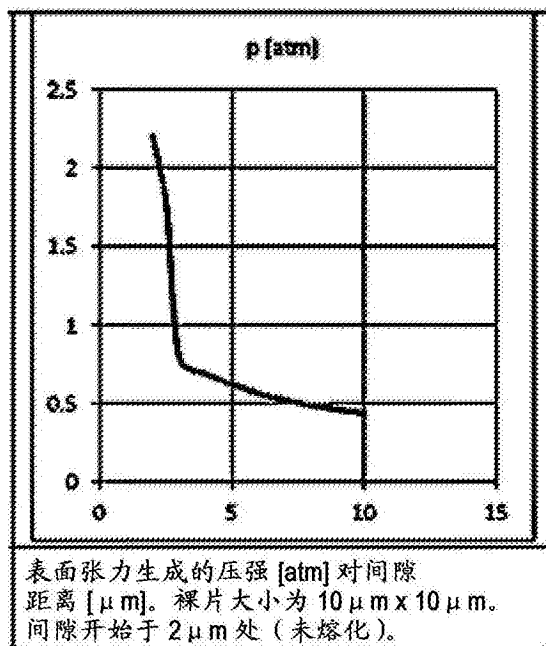


图24

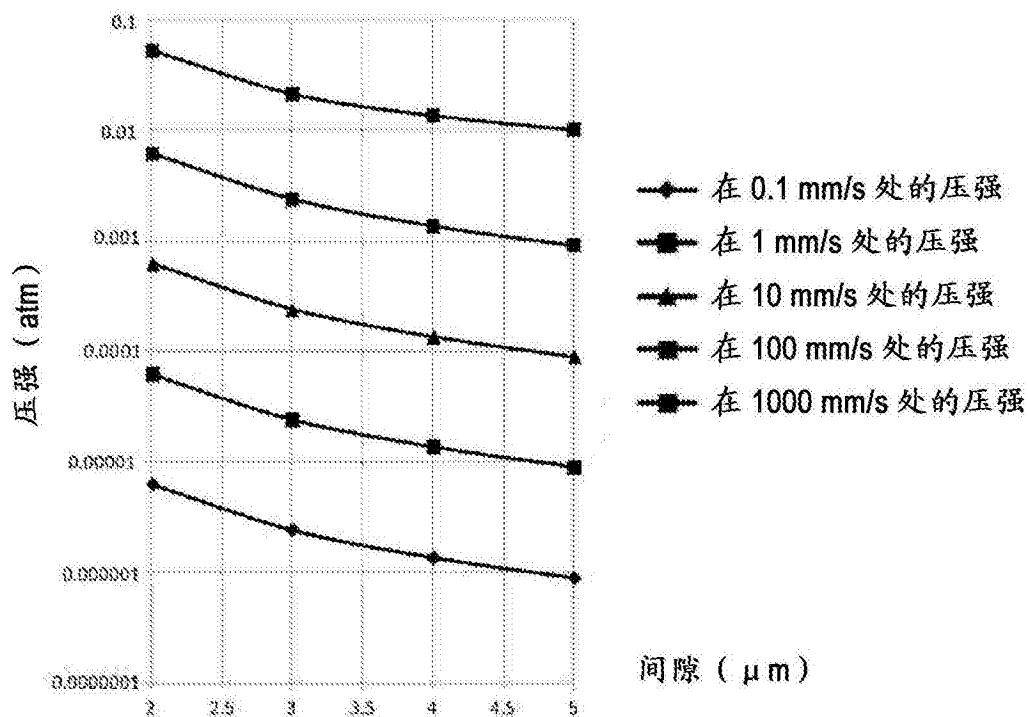


图25

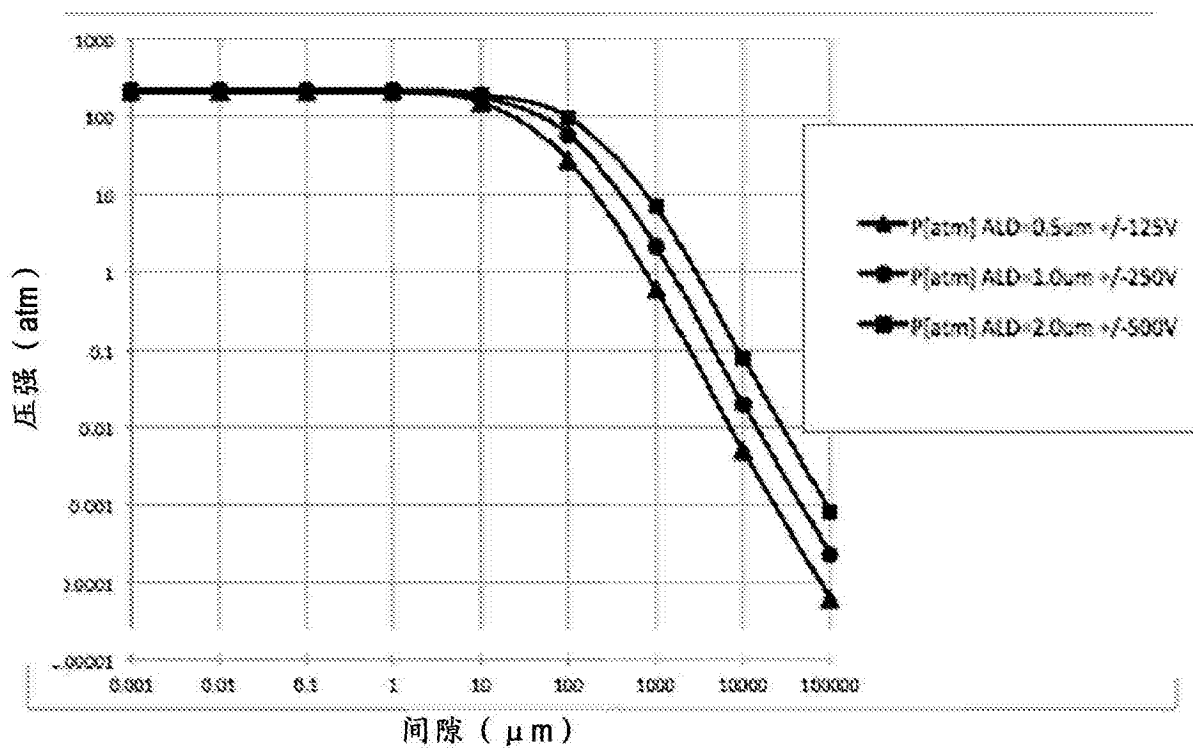


图26

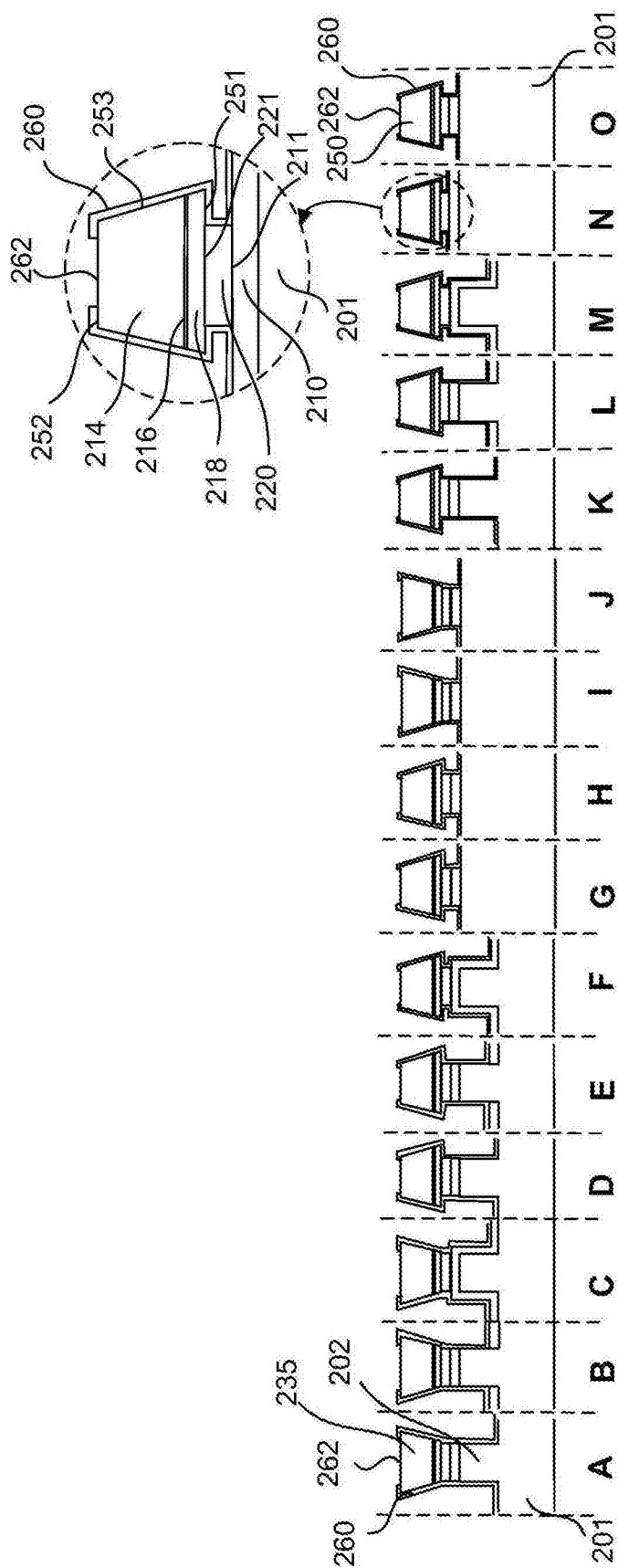


图27

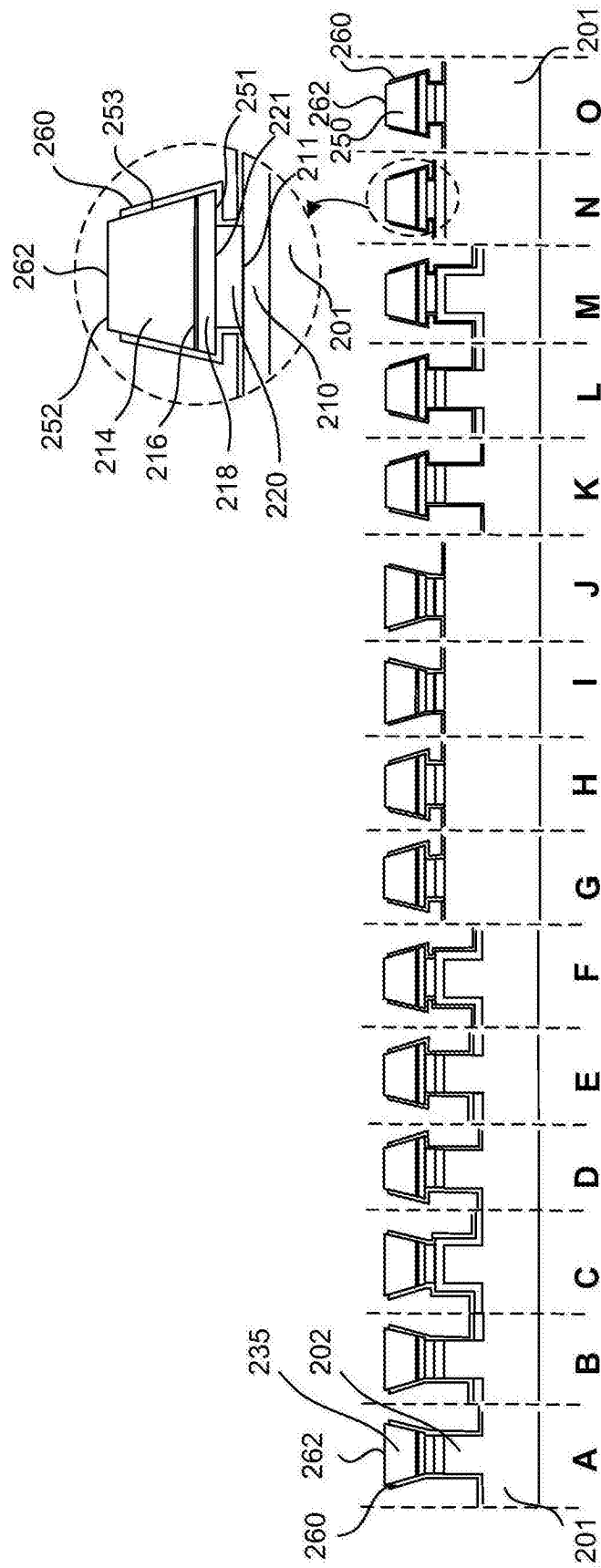


图28

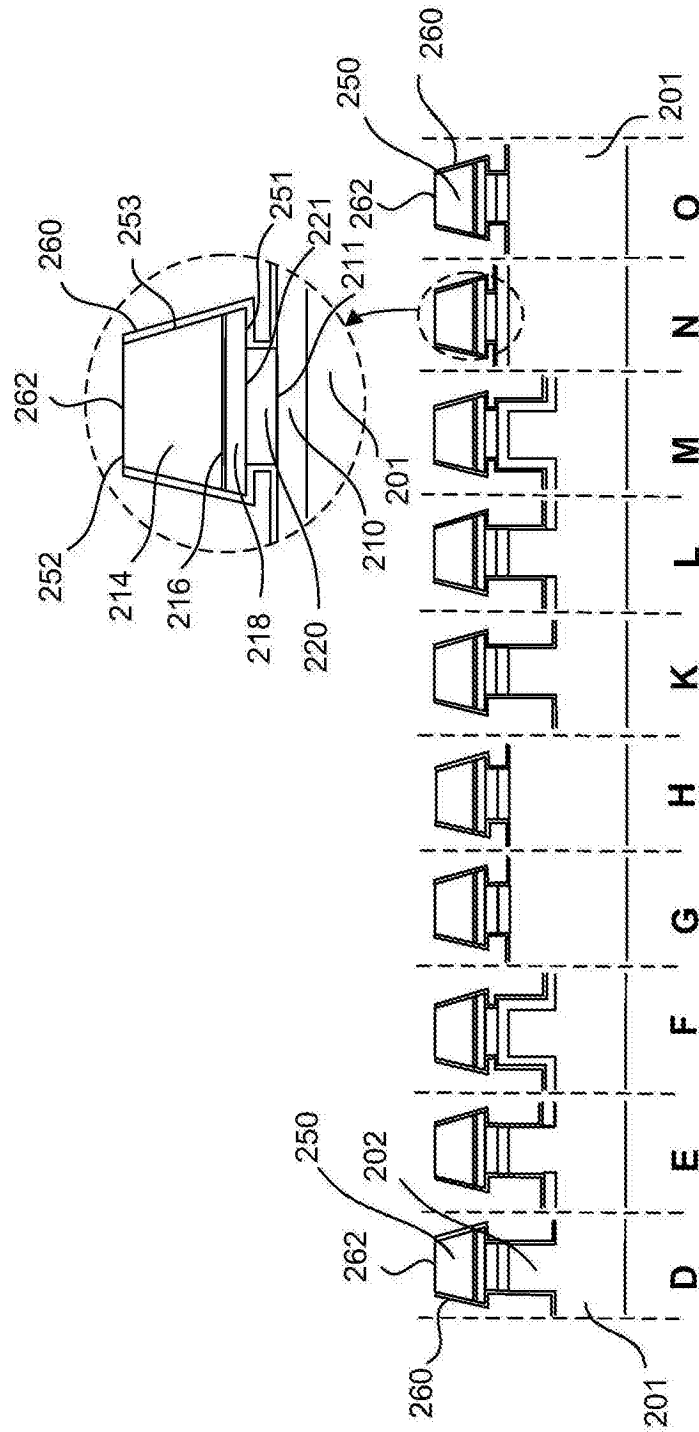


图29

专利名称(译)	微器件传送头		
公开(公告)号	CN104054167B	公开(公告)日	2017-02-01
申请号	CN201280067417.9	申请日	2012-11-07
[标]申请(专利权)人(译)	勒克斯维科技公司		
申请(专利权)人(译)	勒克斯维科技公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	A拜布尔 JA希金森 HFS劳 胡馨华		
发明人	A·拜布尔 J·A·希金森 H·F·S·劳 胡馨华		
IPC分类号	H01L21/58 H01L21/677 H05K13/04		
CPC分类号	B32B37/025 B32B37/06 B32B2457/20 H01L21/67144 H01L24/83 H01L24/97 H01L2224/83005 H01L2224/97 H01L2924/12041 H01L2924/1461 H01L2924/15153 H01L21/6833 H01L24/75 H01L24/95 H01L2224/75725 H01L2224/7598 H01L2924/10253 H01L2924/10329 H01L2924/1421 H01L2924/1431 H01L2924/1434 Y10T156/1153 Y10T156/1707 Y10T156/1744 Y10T156/1749 Y10T156/1776 H01L2224 /83 H01L2924/00		
代理人(译)	王茂华		
优先权	61/561706 2011-11-18 US 61/594919 2012-02-03 US 61/597109 2012-02-09 US 13/372277 2012-02-13 US 13/372292 2012-02-13 US 13/372310 2012-02-13 US		
其他公开文献	CN104054167A		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种微器件传送头和头阵列。在实施例中，微器件传送头包括基底衬底、具有侧壁的台面结构、在台面结构之上形成的电极、以及覆盖电极的介电层。能够向微器件传送头和头阵列施加电压以从载体衬底抬起微器件并且将微器件释放到接收衬底上。

